ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起 因する半導体チップ表面の残留応力評価

小金丸 正明*,池田 徹**, 宮崎 則幸**

Evaluation of Residual Stress in Semiconductor Chips during Resin-Molding Process Using Piezoresistive Test Chips and a Finite Element Analysis Method

Masaaki KOGANEMARU*, Toru IKEDA** and Noriyuki MIYAZAKI**

*福岡県工業技術センター機械電子研究所(〒807-0831 福岡県北九州市八幡西区則松3-6-1)/京都大学大学院工学研究科機械工学専攻(〒606-8501 京都 府京都市左京区吉田本町)

**京都大学大学院工学研究科機械工学専攻(〒606-8501 京都府京都市左京区吉田本町)

*Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, Fukuoka 807-0831) / Department of Mechanical Engineering, Graduate School of Engineering, Kyoto University (Yoshida-honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

** Department of Mechanical Engineering, Graduate School of Engineering, Kyoto University (Yoshida-honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

Abstract

The high residual stress generated on the surface of a semiconductor chip during the assembly of a resin-molded electronic package affects the electrical characteristics of the circuit, and it sometimes causes the malfunction of the circuit. Therefore, it is necessary to evaluate the residual stress in semiconductor chips in order to ensure the reliability of the electronic package. The purpose of this study is to propose a simple method of evaluating residual stress in resin-molded semiconductor chips. In this study, the residual stress in a resin-molded semiconductor chip was measured using test chips with piezoresistive gauges. Then, linear thermoelastic finite element analysis based on the stress-free temperature was performed. This stress-free temperature was determined from the temperature dependence of the residual stress experimentally measured using the test chips. The residual stress measured using the test chips corresponds well with the results of the finite element analysis. Therefore, the present evaluation method using the combination of experimental and numerical methods is considered to be reliable and reasonable.

Key Words: Piezoresistive Gauge, Finite Element Method (FEM), Resin-Molded Semiconductor Chip, Residual Stress, Stress-Free Temperature

1. 緒 言

電子パッケージはセラミックスや金属、樹脂など、特性 の大きく異なる材料により形成されて機能を発現させてい るが、反面、特性の異なる材料を接合することは、パッ ケージの機械的信頼性を損ない、製品の設計や信頼性評価 を複雑にする原因ともなる。とりわけ、構成材料間の大き な線膨張係数差に起因する実装時の残留応力が引き起こす 接合界面の不良は、電子実装において機械的信頼性を確保 する上で大きな問題の1つとなっている。さらに、半導体 チップ表面に生じた残留応力により、チップに形成された 回路の電気特性が変動することが報告されており^{1)~4)},最 近では製品が誤動作を起こす原因として実装メーカにおい てしばしば問題となっている。これは、高密度SiP(System in Package)や部品内蔵基板などの次世代実装技術⁵が実 用化される上でも大きな問題になると予測され、今後は パッケージの設計や開発の段階において、パッケージ内部 の半導体チップ表面に生じる残留応力を評価し、パッケー

ジ構造および構成材料の最適化,さらには回路設計の最適 化を図る必要性が生じてくるものと考えられる。

実装工程で半導体チップに生じる残留応力の測定方法と して、ピエゾ抵抗効果を利用した応力測定用テストチップ が開発され、応用例も報告されている^{6),7)}。また、汎用テス トチップも市販されており、半導体チップ表面に生じる残 留応力を比較的精度良く実測することができる。しかし汎 用のテストチップでは、チップ形状や抵抗の配置、個数に 制限があるため、実装メーカが個々に実施する多種多様の パッケージの評価において十分な設計・製造指標を提供で きるわけではない。この点を補う方法としては、有限要素 法による解析評価が有用であると考えられる。有限要素法 による電子パッケージの残留応力や反りの評価は、パッ ケージに使用される樹脂が粘弾性特性を有することから, この粘弾性挙動をモデル化した解析も実施されている^{8,9} が、この樹脂粘弾性を考慮した解析には、樹脂の粘弾性材 料特性を取得する実験に多大な労力を要し、また、樹脂の ガラス転移点(Tg)付近の挙動が複雑でそのモデル化に高度



Fig. 1 Mechanical and thermal characteristics of piezoresistance gauges.¹¹⁾ (a) Stress sensitivity, (b) Temperature dependence of stress sensitivity, (c) Temperature dependence of resistivity

(1)

な技術を要するため,多種多様な電子パッケージを扱う実際の設計・製造現場では,評価にかかるコストの面からよ り簡便な評価手法が望まれている。

そこで本研究では、ピエゾ抵抗効果を利用した残留応力 測定用テストチップによる計測と、低コストな線形の有限 要素法熱応力解析を組み合わせた方法により、樹脂封止過 程における半導体チップ表面上に生じる残留応力を、樹脂 の粘弾性材料特性や硬化収縮過程を考慮する解析に比較し て簡便で、かつ、半導体チップ上の残留応力によるデバイ ス特性の変動を評価するうえで十分な精度を有する評価方 法を示すことを目的とした。また、本評価方法の妥当性を 検証するために、QFP (Quad Flat Package)を例として、そ の樹脂封止過程で半導体チップ表面上に生じる残留応力を 評価した。本論文では、その評価方法および結果について 述べる。

2. ピエゾ抵抗テストチップを用いた残留応力測定

2.1 ピエゾ抵抗テストチップ

本研究では、市販(日立超LSIシステムズ製)の残留応 力測定用テストチップ(以下テストチップと呼ぶ)を用い た。式(1)は、最も簡略化された応力と応力に起因する抵抗 変化率の関係を示しており、抵抗値の変化率が応力に比例 することが知られている¹⁰。

 $(R-R_0)/R_0=S\times\sigma$

したがって、実装工程前の抵抗値 R_0 および実装工程後の抵抗値 $R \circ \mu$ 定することで、実装工程によってチップ表面に 生じる残留応力を算出することができる。式中で、 σ は応力、Sは応力感度を表す。今回使用したテストチップのピ エゾ抵抗効果に関するデータはテストチップ購入時に与え られており¹¹,これにより応力に対する抵抗変化率(応力

Table	1.	Calibration	parameters	of	а	piezoresistance

gauge	
S: Stress sensibility	-1.55×10 ⁻⁴ /MPa
α: Thermal dependence coefficient of stress sensibility	$-1.50 \times 10^{-7/\circ}$ C
β : Thermal dependence coefficient of piezoresistance	1.55×10 ⁻³ /°C

0を基準にして無次元化)をプロットした結果をFig.1(a)に 示す。この応力感度Sの測定温度は30°Cである。本研究で は、このFig.1(a)に示す値を最小2乗法により近似した直 線の傾きから応力感度Sの値を得た。また、温度変化に対 する抵抗の応力感度および抵抗値変化をFig.1(b)および(c) にそれぞれ示す。Fig.1(c)の縦軸は、30°Cの抵抗値を基準 にして無次元化してある。Sの場合と同様に、Fig.1(b)およ び(c)に示す値を最小2乗法により直線近似した傾きより、 応力感度の温度依存性を表すパラメータ α 、および抵抗値 の温度依存性を表すパラメータ β を定めた。S、 α および β で 表されるピエゾ抵抗特性の温度依存性を考慮するため、式 (2)を用いて応力値 σ を算出した。ここで、T₀およびTはそ れぞれ R₀およびR測定時の温度である。

 $(R_{(T)}-R_{0(T0)})/R_{0(T0)} = \beta(T-T_0) + (1-\alpha(T-T_0))(S \times \sigma_{(T)})$ (2) 本研究で用いたテストチップにはSiチップ表面上にピエ ゾ抵抗ゲージが複数形成されている。また、今回の測定で はチップの大きさ3mm×3mm (Chip I)および6mm×6mm (Chip II)のテストチップを使用した。厚さはいずれも0.3mm である。Fig. 2(a)にテストチップ上のピエゾ抵抗ゲージの配 置を示す。各テストチップとも、エッジに沿った方向が長 手方向になるように4つのピエゾ抵抗ゲージ(Gauge #1~4)





が形成されている。Chip II については、ピエゾ抵抗ゲージ の配置により Chip II-1 および Chip II-2の2種類を用いた。 ピエゾ抵抗ゲージのパターンおよび寸法をFig. 2(b)に示す。 ピエゾ抵抗ゲージは、結晶座標系でSiの(001)面に形成され ており、その長手方向は (110) および (-110) 結晶軸方向で ある。本論文では FEM モデルや応力測定結果を表す便宜 上、Fig. 3に示すように (110) 方向を x 軸に、(-110) 方向を y 軸にとった座標系を用いる。

本テストチップを実際に実装して実装工程前後のゲージ 抵抗値の変化を計測することにより,実装工程によって生 じるゲージ位置におけるゲージの長手方向(本論文ではx 方向およびy方向)の垂直応力を測定することができる。 なお,今回使用したテストチップでは,ゲージの長手方向 以外の応力成分(長手方向に垂直な成分やせん断成分)に 関する感度は小さく長手方向に比較して約1/100~1/10であ るが¹¹⁾,本テストチップではこれらの成分を分離できない ため,測定値に1/100~1/10程度の誤差を原理的に含んでい る。

2.2 残留応力測定の実験手順

Fig. 4にテストチップを用いた実装時の残留応力測定実験の手順を示す。テストチップがベアチップの状態の抵抗 値を R_0 ,ダイボンディング後の抵抗値を R_1 ,ワイヤボン ディングおよび樹脂封止後の抵抗値を R_2 とする。 R_0 から $R_1への抵抗値変化よりダイボンディングにより生じた残留$ $応力が、<math>R_0$ から $R_2への抵抗値変化より最終的にパッケージ$





Fig. 3 Coordinate system of test chip

ングプロセスによって生じた残留応力が,それぞれ式(2)を 用いて算出できる。

本研究ではまず R_0 を測定し、その後ダイボンディングし て R_1 を測定した。この R_0 および R_1 の測定は、テストチッ プに直接プロービングして行い、その際の温度はテスト チップ近傍に配置した熱電対により測定した。 R_1 測定後、 ワイヤボンディングおよび樹脂封止を行ってテストチップ が実装されたQFP試験片を作製し、 R_2 の測定を行った。 R_2 測定時の温度は、QFP試験片に耐熱絶縁テープで接着した 熱電対により計測した。 R_0 および R_1 の測定は遮光用のシー



Fig. 4 Procedure of residual stress measurement

ルドボックス内で行い, R₂の測定は加熱用オーブンの中で 実施した。いずれの場合も温度雰囲気が一定になるように, 試験片を設置した後十分に時間を置いてから測定を行った。

なお、本研究で用いたQFP試験片の成形条件は、ダイボ ンディング後のダイボンドペースト材のキュアが180℃で 2時間(昇温時間含む)、樹脂封止の際の金型温度は175℃ で、ポストキュアが180℃で5時間である。

3. 有限要素法解析

電子パッケージの樹脂封止工程で生じる残留応力を線形 解析で評価する場合,解析の基準となる応力0の温度を樹 脂のモールド温度やポストキュア温度に設定した解析が行 われる^{12)~14)}ことが多いが,樹脂のガラス転移点(Tg)付近以 上の温度では粘弾性や塑性あるいはクリープによる残留応 力の緩和が生じていることが考えられ,これらの温度を基 準とした解析では室温での残留応力を過大に評価してしま う危険性がある。そこで本研究では、4.3節で述べるテスト チップにより実測された応力フリー温度¹⁵⁾を解析の基準温 度とする線形解析を行った。

Fig. 5(a)にQFPの有限要素法解析モデルおよび解析の境 界条件を示す。回路が形成される半導体チップ表面上の残 留応力分布が評価できるように、3次元の解析モデルを作 成した。モデルの作成には、3次元CADであるI-DEASTM を用い、パッケージ形状の対称性から4分の1モデルを作 成して対称の境界条件を施した。ここでは、Siチップ、封 止樹脂、ダイパッドおよびSiチップとダイパッドの接着層 である導電性ペーストのみをモデル化した。これは解析規 模や時間を極力少なくすることが目的である。Siチップ表 面上の残留応力はSiチップおよび封止樹脂の線膨張係数差 によりその大部分が生じると考えられることから、このSi チップ表面上の残留応力発生にあまり寄与しないと考えら れるリードフレーム形状の詳細やボンディングワイヤはモ デルから省略した。有限要素分割図をChip I の場合を例に とり Fig. 5(b)に示す。SiチップおよびSiチップとダイパッ ドの接着層は6面体2次要素を用い,それ以外は4面体2次 要素で要素分割を行った。Fig. 5(b)に示すChip I のモデル の場合,総要素数17572,総節点数31731である。

入力データとして解析に用いた構成材料の材料定数値は 次節で示す。解析では、4.2節で述べる応力フリー温度の 測定結果を解析の基準温度とし、モデル全体をゲージ抵抗 値 R₂の測定温度である 25°C に降下させた。解析ソルバー には、商用有限要素法コードの ANSYSTMを用いた。

4. 半導体チップ表面の残留応力評価

4.1 パッケージ構成材料の材料定数

Table 2 に解析の入力データとして用いたパッケージ構成 材料の材料定数をまとめて示す。これらの材料定数のうち, 封止樹脂の線膨張係数は後述するTMA実験により計測し, Siの弾性定数はその異方性を考慮するため Table 3 に示す剛 性行列を用いた。Si は立方晶であるため、剛性行列テンソ ルの独立した成分はTable 3に示す3成分となる¹⁶⁾。実際の 解析では、2.1節、Fig. 3で示したとおり結晶座標系と解析 座標系が異なるため, Table 3で示す剛性行列テンソルを 3(z)軸まわりに45°回転(テンソル変換)して得られる値を 用いている。その他の材料定数はカタログ値を用いた。ま た、線形熱弾性解析では、解析結果は温度変化過程の線膨 張係数と評価温度でのヤング率とポアソン比によって決定 される。したがって、ヤング率やポアソン比の温度依存性 は考慮していない。一方、封止樹脂の線膨張係数の値とそ の温度依存性は、残留応力の解析結果に最も大きな影響を 及ぼすと考えられる。さらにその値は製造ロットによって 差が見られることを考慮し、TMA (Thermo-mechanical analvzer)を用いて実際に使用した樹脂で線膨張係数の値を測 定した。

本研究においては、線膨張係数の異なる2種類(Resin A およびResin B)の樹脂を封止用材料として用いた。TMA 測定の結果をResin A およびResin B についてFig. 6(a), (b)に 示す。温度に対して試験片伸びの変化率をプロットした



Fig. 5 Analysis model of QFP. (a) Boundary conditions, (b) Finite element model (Chip I)

Fig. 6(a), (b)において、室温から変曲点温度までの直線の傾 きから線膨張係数の値を算出した。Resin A では120°C付近 に変曲点が存在することが明らかである。一方、Resin B で は明瞭な変曲点が現れず、120~150°Cの間で徐々に傾きが 変化している。これは、封止樹脂を構成する樹脂が、ガラ ス転移点の異なる複数の材料の混合物であるためと考えら れる。Resin A, Resin B ともに、直線性の良い室温から 120°Cまでを最小2乗近似し、その傾きからResin A では線 膨張係数の値として 12.2×10^{-6/}°Cを、Resin B では

Table 2. Material properties used in a finite element analysis

	Young's Modulus (GPa)	Poisson's Ratio	Coefficient of thermal Expansion $(\times 10^{-6/\circ} \text{C})$			
Si chip	(Table 3)	(Table 3)	2.6			
Resin A	24	0.25	12.2			
Resin B	15.6	0.24	30.1			
Conductive	5.39	0.4	30			
Adhesive paste						
Die pad	147	0.3	7			

 Table 3.
 Components of stiffness matrix of silicon¹⁶⁾

Crys	tal axis co	ordinate syster	n: 1,2,3								
		165.7		ſ	c11	c12	c12	0	0	0	٦
CII	105.7			c12	c11	c12	0	0	0		
	c12	63.9			c12	c12	c11	0	0	0	Į
				Ì	0	0	0	c44	0	0	
	c44	79.6			0	0	0	0	c44	0	
		Unit: GPa		l	0	0	0	0	0	c44	J



Fig. 6 Experimental results of coefficient of thermal expansion of molding resin by TMA. (a) Resin A, (b) Resin B





30.1×10⁻⁶/°Cを得た。4.3節で示す応力フリー温度はいずれ も120°C以下であるため、この温度以上の線膨張係数の値 や粘弾性特性モデルを解析では考慮しない。

4.2 テストチップによる残留応力測定結果

2.2節に示した手順により残留応力を測定した結果を, Fig. 7(a), (b)および(c)にまとめて示す。Fig. 7(a), (b)および (c)は、それぞれ Chip I-Resin A, Chip I-Resin B および Chip II-Resin A についてベアチップ状態での初期応力を0と仮定 し、ダイボンディング後(ポストキュア後)の残留応力と 樹脂封止後(ポストキュア後)の残留応力測定結果を示し ている。ここで、Chip I-Resin A は前述の Chip Iのテスト チップを Resin A の樹脂で封止して作製した試験片である。 Chip I-Resin B, Chip II-Resin A も同様にチップタイプと樹脂 タイプの組み合わせを示す。

Chip I では, Fig. 2(a) における Gauge #1 と #2 の平均を チップ端付近の値として, Gauge #3 と #4 の平均をチップ 中心付近の値としてそれぞれ示している。Chip II について は, Chip II-1 の Gauge #1 と #2 の平均をチップ中心付近の 値として, Chip II-2 の Gauge #1 と #2 の平均をチップ端付 近の値としてそれぞれ示している。

今回実装した QFPでは, Resin Aを使用したもので約 80 MPa, Resin Bを使用したもので約160 MPaの圧縮残留応 力がチップ表面上に生じることがわかった。また, ダイボ ンディングにより発生する残留応力はいずれも数 MPa 程度 であり,樹脂封止後に生じる残留応力に比較して非常に小 さいことがわかった。

4.3 残留応力の温度依存性と応力フリー温度

本研究で今回試験片として用いたQFPでは、前節で示し たようにダイボンディングにより発生する残留応力が小さ いことから、ダイボンディング後の樹脂のモールド工程で 発生する残留応力を有限要素法解析で評価し,テストチッ プによる計測結果と比較した。

まず応力フリー温度を決定するために, QFP 実装後の試 験片を用いて残留応力の温度依存性を計測した。この時, 式(2)で応力を算出する際に、ゲージ抵抗値の温度依存性を 表すパラメータβとして、ダイボンディングされた状態で 測定されたβ値を用いれば,算出される応力値は樹脂の モールド工程で発生する残留応力値となる。そこで、QFP の封止樹脂を発煙硝酸により除去した試験片を用いて, ゲージ抵抗値の温度依存性を計測した。結果をFig.8に示 す。縦軸は室温での抵抗値を基準として無次元化した抵抗 変化率である。測定値を最小2乗法により直線近似した傾 きより、ゲージ抵抗値の温度依存性を表すパラメータとし て1.65×10⁻³/℃を得た。これをβ_mとする。以下に示す残 留応力の温度依存性における応力値および次節に示す解析 結果との比較に用いた応力値はこの β "を用いて算出して おり、樹脂のモールド工程で発生する残留応力を表してい る。また、以上のようにして計測した残留応力の温度依存 性より決定される応力フリー温度を用いた解析では、計測 結果と同様に樹脂のモールド工程で発生する残留応力を評 価していることになる。

残留応力の温度依存性の測定は、Chip I-Resin A, Chip I-Resin B および Chip II-1-Resin A の試験片についてそれぞれ 実施した。試験片の温度を加熱用オーブンの中で均一,一 定に保ち、各温度での抵抗値を測定した。温度測定につい ては2.2節で述べた通りである。Chip I-Resin A および Chip I-Resin B の試験片については Gauge #4 で、Chip II-1-Resin A では Gauge #2を用いて各温度での抵抗値を測定した。こ れにより得られた応力値を温度に対してプロットした結果 を Chip I-Resin A, Chip I-Resin B および Chip II-1-Resin A に



ついて Fig. 9(a), (b) および (c) にそれぞれ示す。応力フリー 温度は,得られた測定点を最小2乗法により直線で外挿し て,応力値が0となる温度と定めた。その結果,Chip I-Resin A では116°C, Chip I-Resin B では117°C,また Chip II-1-Resin A では113°C をそれぞれ応力フリー温度として決定 し,3章で述べた有限要素法線形熱応力解析の解析基準温 度とした。

得られた応力フリー温度は、線膨張係数が25倍程度異 なる2つの封止樹脂タイプ(Resin AおよびResin B)間で の差異は見られず、Fig. 6(a)および(b)の結果から得られる 封止樹脂のTg(120°C程度)と比較すると少し低い温度に なることがわかった。Fig. 9(a)、(b)および(c)の結果は、応 力フリー温度以下で残留応力が直線的に変化しており、こ の温度領域では、封止樹脂、さらにチップ表面の残留応力 に影響を及ぼすその他の構成材料がほぼ線形弾性体として 取り扱えることを示している。このことは、本研究で用い た応力フリー温度を基準とした線形解析モデルが妥当であ ることを示唆している。以上のことからも、応力フリー温 度よりかなり高温である封止樹脂のモールド温度(175°C)や ポストキュア温度(180°C)を線形解析の基準である応力の温 度とした場合、室温での残留応力を過大に評価してしまう ことがわかる。

4.4 有限要素法解析結果

Chip I-Resin A, Chip I-Resin BおよびChip II-Resin Aについて、テストチップを用いて計測した実験結果と、有限要素法解析の結果の比較をそれぞれFig. 10(a), (b)および(c)に示す。解析結果の数値および応力コンター図は、実験結果との比較のために垂直応力 σx を示している。いずれの図も回路が形成されるチップ表面上の4分の1の領域を表しており、図中の矩形枠がゲージの位置およびチップに対す





Fig. 10 Experimental and finite element analytical results of residual stress σx in a Si chip.
(a) Chip I-Resin A, (b) Chip I-Resin B, (c) Chip II-Resin A

る相対的な長手方向の大きさを表している。実験結果とし て示している値は、それぞれのチップのGauge #1と#2、 またはGauge #3と#4の平均の応力値を用いた。また、 Chip II-Resin A については、Chip II-1とChip II-2の実験結果 を同時に示している。実験値との比較に用いた解析値は、 各ゲージの中心に位置する節点での値を使用した。

実験結果と解析結果を比較すると、Chip Iを用いた試験 片では実験結果の方が解析結果より大きく, Chip II ではそ の逆になる傾向が見られた。本研究で用いた解析モデルで は、リードフレーム形状の詳細(足の部分)を省略してい る。このリードフレーム材は、線膨張係数が封止樹脂のそ れと比較して小さく、樹脂封止に伴うチップ表面の圧縮の 残留応力を軽減する役割を果たすことが考えられる²⁾。本 研究で用いた QFP 試験片は、リードフレームの形状は同じ であるが、チップ形状が Chip I (3mm×3mm)と Chip II (6mm×6mm)で異なり、チップ形状が大きなChip IIの方が 解析モデルでは省略したリードフレーム形状の詳細部分に 近い。このため、この省略した形状がChip Ⅱ表面の残留応 力に及ぼす影響はChip I の場合に比較してより大きいと考 えられる。Fig. 10(a)と(c)の比較において, Chip IIの(c)の 結果の方が解析値とテストチップにより計測した実験値の 差が大きいのは、この省略したリードフレーム形状の影響 をより大きく受けたためと推測される。

Fig. 10(a), (b)および(c)の結果から,実験結果と解析結果 は実用上十分と思われる誤差約20%の範囲で一致してい る。本研究の手法で得られる残留応力の予測結果は,樹脂 封止時の残留応力に起因したデバイス特性変動の評価を念 頭に置いており,厳密な応力値の評価が必要なチップ角部 等の応力特異場からの機械的不良の発生評価等に用いるも のではない。文献^{1)~3}によれば,100 MPaの残留応力によ り MOS トランジスタの特性(ドレイン電流や相互コンダク タンス)が数 %~十数 % 変動する可能性があることが示さ れているが,この変動量に対して数 %の精度(誤差)での 予測が要求されているわけではなく,本手法の精度で有用 な設計・製造時の指針が得られるものと考える。

プラスチックパッケージ内の半導体チップ表面に生じる 残留応力は、パッケージ構成材料やパッケージの構造で大 きく異なることが報告されており、封止樹脂による圧縮応 カやパッケージ構造に起因した曲げ応力等が残留応力発生 の影響因子となる^{12,17),18)}。したがって、本報で示した応力 フリー温度もパッケージの構成材料や構造ごとに実験で計 測する必要があるが、樹脂の粘弾性を考慮した高度で手間 のかかる解析を実施する必要がない。線形解析では応力0 の基準温度を設定しなければならないが、樹脂の粘弾性特 性に関係なく基準温度を樹脂の封止温度等として線形解析 を行った場合、樹脂の種類によっては室温での残留応力を 過大に評価してしまう可能性がある。またその際、実施し た線形解析近似が実際の残留応力の挙動からどの程度逸脱 しているかの判断も難しい。本手法では,残留応力の温度 依存性の実測結果から応力0の基準温度(応力フリー温度) を決定するため,樹脂の粘弾性特性の違いが考慮され,ま た同時に,線形解析による近似が妥当なものであるかどう か判断できる。

以上の結果から,本研究で示した手法は,半導体チップ 表面上の残留応力を評価する必要がある実装メーカや回路 設計メーカが実施する簡易評価として有用な方法であると 考えられる。

5. 結 言

樹脂封止工程において半導体チップ表面上に生じる残留 応力を、ピエゾ抵抗効果を利用した残留応力測定用テスト チップと、有限要素法線形熱応力解析を用いて評価する方 法およびその評価結果を示した。実測された残留応力の温 度依存性から定義される応力フリー温度を用いることで、 封止樹脂を線形弾性体と仮定したシンプルな解析モデルで も、テストチップによって実測される結果を10~20 MPa (相対誤差約20%以内)で評価することができた。本研究 で示した方法は、樹脂の粘弾性材料特性や硬化収縮過程を 取り扱わない簡便なモデルを用いるため、実際の設計・製 造現場で有用な手法と考えられ、残留応力に起因したデバ イス特性変動を評価する際に必要な半導体チップ表面上の 応力分布を評価できる。

謝 辞

本研究を実施するにあたり,試験片作製にご協力頂いた 佐賀エレクトロニックス 土井友博氏,新日本無線 荒木 千明氏,吉田誠一郎氏に感謝致します。

本研究の一部は,福岡地域の文部科学省知的クラスター 創成事業および電子回路基板技術振興財団の支援による。 (2005.3.24-受理)

文 献

- A. Hamada, T. Furusawa, N. Sato and E. Takeda: "A New Aspect of Mechanical Stress Effects in Scaled MOS Devices", IEEE Transactions on Electron Devices, Vol. 38, No. 4, pp. 895–900, 1991
- 三浦英生,西村朝雄: "パッケージング応力起因の半導体 素子特性変動",日本機械学会論文集,A編,Vol. 61-589, pp. 1957–1964, 1995
- H. Ali: "Stress-Induced Parametric Shift in Plastic Packaged Devices", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. 20, Part B, No. 4, pp. 458–462, 1997

- N. Watanabe and T. Asano: "Influence of Direct Au-Bump Formation on Metal Oxide Semiconductor Field Effect Transistor", Japan Journal of Applied Physics, Vol. 41, Part 1, No. 4B, pp. 2714–2719, 2002
- 5) 電子情報技術協会,電子システム実装技術専門委員会,日本実装技術ロードマップ研究会編: "2003年度版実装技術 ロードマップ",2003
- 6) 三浦英生,西村朝雄,河合末男,西 邦彦: "ICプラス チックパッケージ内応力測定素子の開発とその応用",日 本機械学会論文集,A編,Vol. 53-493, pp. 1826-1832, 1987
- J. C. Suhling and R. C. Jaeger: "Silicon Piezoresistive Stress Sensors and Their Application in Electronic Packaging", IEEE Sensors Journal, Vol. 1, No. 1, pp. 14–30, 2001
- 8) 佐々木康二,斉藤直人,天城滋夫,原口芳広: "樹脂モー ルド時残留応力の数値解析(第1報,硬化後冷却時に発生 する応力と変形の粘弾性解析)",日本機械学会論文集,A 編, Vol. 64–622, pp. 1660–1666, 1998
- 9) 三宅 清: "BGAパッケージの硬化収縮を考慮した反り粘 弾性解析",エレクトロニクス実装学会誌, Vol. 7, No. 1, pp. 54-61, 2004
- C. S. Smith: "Piezoresistance Effect in Germanium and Silicon", Physical Review, Vol. 94, No. 1, pp. 42–49, 1954
- 11) 日立超LSIシステムズ:"技術資料", 2004
- 12) 三浦英生,西村朝雄,河合末男,西 邦彦: "ICプラス チックパッケージ内シリコンチップ残留応力の検討",日本 機械学会論文集,A編, Vol. 55-516, pp. 1763-1770, 1989
- 13) A. Mertol: "Stress Analysis and Thermal Characterization of a High Pin Count PQFP", Journal of Electronic Packaging, Vol. 114, pp. 211–220, 1992
- 14) D. Y. R. Chong, C. K. Wang, K. C. Fong and P. Lall: "Finite Element Parametric Analysis on Fine-Pitch GBA (FBGA) Packages", Proceedings of IPACK03, 2003
- W.-K. Kim,池田 徹,宮崎則幸: "異方性導電樹脂接合部 の接合信頼性評価",エレクトロニクス実装学会誌,Vol. 6, No. 2, pp. 153–160, 2003
- 16) J. J. Wortman and R. A. Evans: "Young's Modulus, Shear Modulus, and Poisson's Ratio in Silicon and Germanium", Journal of Applied Physics, Vol. **36**, No. 1, pp. 153–156, 1965
- 17) 三浦英生,西村朝雄,河合末男,村上 元:"ICパッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響",日本機械学会論文集,A編,Vol. 56-522, pp. 365-371, 1990
- 三浦英生,西村朝雄,河合末男,西 邦彦: "ICプラス チックパッケージ内シリコンチップ熱応力の検討",日本機 械学会論文集,A編, Vol. 57-539, pp. 1575-1580, 1991