

樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性値変動評価と電子移動度モデルに関する検討

小金丸正明[†] 池田 徹^{††} 宮崎 則幸^{††} 友景 肇^{†††}

Evaluation of DC Characteristics Shifts in Resin-Molded nMOSFETs and Examination of Electron Mobility Model for Stress Effects

Masaaki KOGANEMARU[†], Toru IKEDA^{††}, Noriyuki MIYAZAKI^{††},
and Hajime TOMOKAGE^{†††}

あらまし 本研究では、樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性値変動を計測し、nMOSFET の 1 軸応力感度及び樹脂封止実装時の残留応力値を用いてその特性値変動を評価した。その際、4 点曲げ試験により得られた nMOSFET の応力感度において、nMOSFET の微細構造に起因した応力分布の影響及び寄生抵抗の影響について検討した。その結果、本研究で用いた nMOSFET において測定された応力感度におけるゲート長さ依存性は、ゲート長が異なる各 nMOSFET のゲート電圧・ドレーン電流特性における寄生抵抗の影響度を反映していることが分かった。樹脂封止実装時の残留応力は、ピエゾ抵抗ゲージによる計測と有限要素法線形熱弾性解析を組み合わせた手法によって評価した。QFP 樹脂封止実装時における nMOSFET の DC 特性値変動を測定した結果、ドレーン電流の減少が計測され、顕著なしきい値電圧の変化は計測されなかった。また、1 軸負荷の場合と同様に、実測された相互コンダクタンスの変化率にはゲート長さ依存性が見られた。これらの測定結果は、nMOSFET の応力感度測定結果及び QFP の残留応力評価結果から、ピエゾ効果モデルの関係をを用いて見積もることができた。更に、応力効果を考慮した電子移動度モデルとして、Si 伝導帯エネルギーの変化による電子存在確率の変化を電子移動度変化に対応させたモデルについて、実験結果との比較によりその妥当性を検証した。その結果、電子存在確率の変化のみならず、応力による電子散乱確率の変化も考慮する必要があることが示唆された。

キーワード 樹脂封止, 残留応力, nMOSFET, 寄生抵抗, 電子移動度

1. ま え が き

電子機器における実装工程とは、材料特性が著しく異なる素材の接着・接合工程であり、それゆえに生じる変形や残留応力がしばしば製品の信頼性にかかわる問題を引き起こす。半導体デバイスの樹脂封止工程では、主に構成素材の線膨張係数差に起因して半導体チップ

に大きな残留応力が発生することが知られている [1]。また、高密度実装構造として主流となりつつあるフリップチップ実装においても、信頼性の観点から無視できない程度の残留応力が半導体チップ上に発生することが明らかになってきた [2]。すなわち、半導体チップ上に生じたこれらの残留応力は半導体デバイスの動作特性を変動させるため、電子機器製品に不具合を生じさせる原因となる。また、近年研究開発が活発に行われている‘ひずみ’ Si デバイスにおいては、デバイスのプロセス時に意図的に加えたひずみによってもたらされる動作性能の向上が、実装時の残留応力によって相殺されてしまうことも考えられる。このような問題に対応するには、実装工程で半導体チップに発生する残留応力を適切に見積もり、残留応力による半導体デバイスの電気特性値変動を評価しておく必要がある。バルク Si の応力 (ひずみ) に対する電気特性の変動

[†] 福岡県工業技術センター機械電子研究所, 北九州市
Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center, 3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, 807-0831 Japan

^{††} 京都大学大学院工学研究科, 京都市
Department of Mechanical Engineering and Science, Graduate School of Engineering, Kyoto Univ., Yoshida-Honmachi, Sakyo-ku, Kyoto-shi, 606-8501 Japan

^{†††} 福岡大学工学部電子情報工学科, 福岡市
Department of Electronics Engineering and Computer Science, Fukuoka Univ., 8-19-1 Nanakuma, Jonan-ku, Fukuoka-shi, 814-0180 Japan

は、古くから piezo 効果として知られている [3]。また上述のような関心から、nMOSFET (n-type Metal Oxide Semiconductor Field Effect Transistor) の piezo 効果についても、曲げ負荷試験により多数の実験結果が示されている [4] ~ [12]。そしてこれらの結果はいずれも、nMOSFET の piezo 効果がバルク Si の piezo 効果と定性的に一致することを示すものである。一方、定量的には計測する nMOSFET によって応力に対する応答 (感度) が異なっており、その影響因子はいまだ明確ではない。したがって、定量的な評価が行える評価モデルの確立と、それに必要な応力感度に影響を及ぼす因子の詳細な検討が課題として残されている。

本研究では、実際の樹脂封止実装工程によって生じる残留応力に起因した nMOSFET の電気特性値変動評価を目的とした。曲げ負荷試験を用いた特性変動評価に比較して、実装工程における特性変動評価に関する報告は少ない。これまで、樹脂封止 [13], [14], パンプ形成 [15], チップスタック型マルチチップ実装 [16] に起因した電気特性値変動が計測されており、特性値変動量が負荷応力 (ひずみ) を用いて評価されている。しかしいずれも、特性値変動量と負荷応力 (ひずみ) を結び付ける際に MOS デバイスの構造の違い等は検討・考慮されておらず、定量的な評価モデルを確立する上での情報提供及び検討が十分になされているとはいえない。図 1 には、バルク Si から MOS デバイスの形成、パッケージングまでの間に電気特性に影響を与える因子の概要を、キャリア移動度の変化という観点で示している。図 1 から分かるように、最終的なパッケージにおけるデバイスの電気特性は、各工程、種々の要因で変動する。したがって、電気特性値変動評価を実施する際には、どのような応力状態で、どの工程のどのような影響を含んだ特性変動であるのかを理解しておく必要がある。

筆者らはこれまで、樹脂封止により半導体チップ上に生じる残留応力の簡易評価手法の提案を行ってきた [17]。また、4 点曲げ負荷試験を用いた nMOSFET の DC 特性値変動評価を行ってきた [12]。本研究ではこれらの結果を踏まえ、実際の樹脂封止実装工程によって生じる残留応力に起因した nMOSFET の電気特性値変動を評価した。すなわち、4 点曲げ負荷試験により DC 特性値の応力感度が計測されている nMOSFET を、半導体 (Si) チップ上に生じる残留応力が評価されている樹脂封止工程で実装 (QFP: Quad

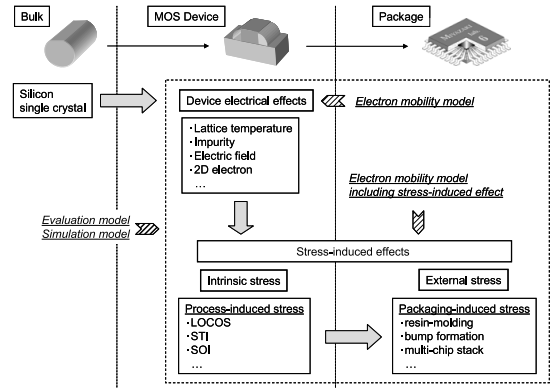


図 1 実装工程で電子移動度に影響を与える因子
Fig.1 Influence factors to electron mobility during process of electronic package.

Flat Package) し、樹脂封止に起因した nMOSFET の DC 特性値変動を評価した。その際、応力感度に影響を及ぼす因子として nMOSFET の微細構造に起因した応力分布の影響、及び寄生抵抗の影響に関して検討を行った。また、QFP での計測結果を 4 点曲げ試験により得られた応力感度と残留応力評価結果を用いて評価した。

更に本研究では、得られた実験結果との比較により応力 (ひずみ) 効果をデバイスシミュレーションで取り扱うための電子移動度モデルの検証を行った。デバイスシミュレーションでは MOS デバイスの形状やドーパント濃度等が変更可能なパラメータとして扱えるので、多種多様な実際のデバイスを評価する上で非常に実用的かつ有効な評価手法であると考えられる。また、デバイスの応力に対する応答を定量的に左右する影響因子の解明にも役立つはずである。しかしながら現状では、応力に起因した MOS デバイスの電気特性値変動をデバイスシミュレーションにより評価した例は非常に少なく、そのシミュレーションモデルが妥当なものであるか、実験結果との比較によって検証されているとはいえない。そこで本研究では、ひずみの効果を伝導バレーにおける電子存在確率の変化と対応させて取り扱う電子移動度モデル [18] について、本実験結果との比較により検証を行った。前報 [12] では 4 点曲げ負荷 (1 軸負荷) との比較による検証を行い、既存の電子移動度モデルに新たに 1 軸負荷により生じるせん断応力の効果を考慮することによって、実験で得られた特性値変動における 1 軸負荷方向に対する電流方向依存性を評価できることを示した。本論文の実験結

果では, 3. に示す残留応力評価結果より nMOSFET に生じる (公称) せん断応力がゼロとみなせるため, せん断応力の影響を議論する必要がない. そこで, 伝導バレーにおける相対的な電子存在確率の変化のみが考慮された電子移動度モデルについて, その妥当性の検証を実験結果との比較により行った.

本論文では, まず QFP の樹脂封止工程における nMOSFET の特性値変動の評価結果を示し, 次に実験結果と比較することにより応力効果を考慮した電子移動度モデルを検証する.

2. nMOSFET の応力感度

2.1 nMOSFET 試験デバイス

本研究では, DC 特性値変動を評価する試験デバイスとして, ゲート長さが異なる 4 種類の nMOSFET を用いた. すなわち, nMOSFET のゲート長さ: L (μm) は $L = 24, 12, 6, 0.8$ の 4 通りであり, ゲート幅: W はいずれも $24\mu\text{m}$ である. なお以後の記述では, nMOSFET 試験デバイスを W と L を用いて区別する. 例えば, $W/L = 24/0.8$ デバイスとはゲート幅 $24\mu\text{m}$, ゲート長さ $0.8\mu\text{m}$ の nMOSFET のことを指す.

図 2 に, nMOSFET の断面構造を模式的に示す. nMOSFET は Si (001) 結晶面に形成されており, 電流が流れるソース・ドレインの方向は Si $\langle 110 \rangle$ 結晶方向である. 試験に用いた 4 種類の nMOSFET は, ゲート長さが異なる以外はすべて同じ構造を有している. つまり, 素子分離酸化膜である LOCOS (Local Oxidation of Silicon) エッジからゲートエッジまでの距離も同じで, いずれの nMOSFET においても $1.8\mu\text{m}$ である.

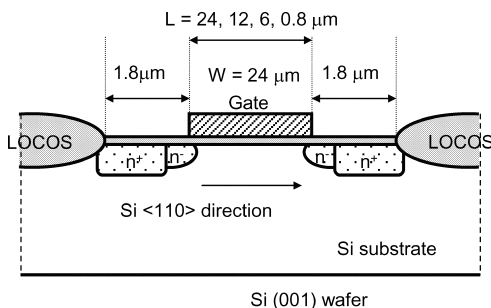


図 2 nMOSFET 試験デバイスの断面模式図
Fig. 2 Schematic cross-section of nMOSFETs.

2.2 4 点曲げ試験による応力感度の計測

今回用いた nMOSFET の DC 特性における応力感度は 4 点曲げ試験により既に測定されており, その詳細は前報 [12] で報告済みである. 4 点曲げジグにより応力が負荷された状態の nMOSFET の電極に所定の電圧を印可し, 電気特性を測定した. 具体的には, ソース・ドレイン間の電圧を 0.1V に固定し, ゲート電圧を挿引してソース・ドレイン間の電流を測定した. また本研究では, はりの曲げ理論で計算される試験片表面の曲げ応力を, nMOSFET に負荷される公称応力として DC 特性変動値に対応させた.

図 3 に, 4 点曲げ負荷によるドレイン電流変化の測定結果を例示 ($W/L = 24/0.8$) する. 負荷方向は電流方向と平行 (Longitudinal) である. 引張り応力でドレイン電流は増加し, 圧縮応力で減少した. 顕著なしきい値電圧の変動は見られなかった. 図 4 には無負荷での値を基準にした応力による相互コンダクタンス (以下及び図中 G_m とする) の変化率 (%) を例示 ($W/L = 24/0.8$) する. G_m は, 図 3 に例示するゲート電圧・ドレイン電流曲線において, ゲート電圧 2V における接線の傾きとして定義している. 図 4 から明らかなように, 4 点曲げ試験による 1 軸負荷では, G_m 変化に負荷方向依存性が存在する. これは, Si 結晶のひずみに起因した伝導帯エネルギーの変化が異方的であるためと考えられる [19]. 図 3 及び図 4 には $W/L = 24/0.8$ デバイスの結果を例示しているが, 本

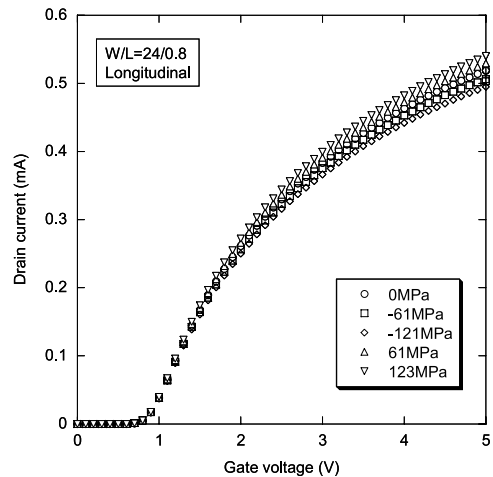


図 3 4 点曲げ負荷によるドレイン電流の変化
Fig. 3 Drain current shifts induced by 4-point-bending loading ($W/L = 24/0.8$, Longitudinal) [12].

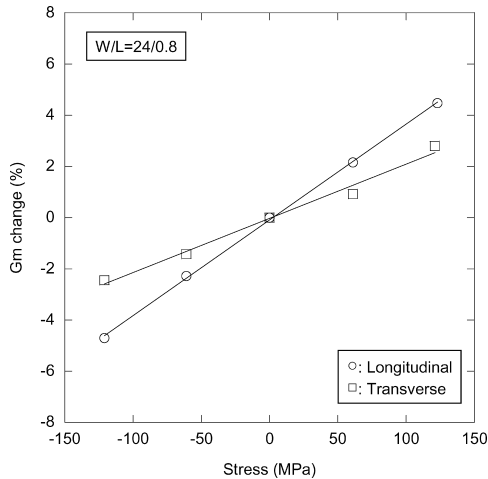


図 4 4 点曲げ負荷による G_m の変化
Fig. 4 Gm changes induced by 4-point-bending loading ($W/L = 24/0.8$) [12].

表 1 G_m 変化率の応力感度
Table 1 Stress sensitivities of Gm change.
Unit: $\times 10^{-4}/\text{MPa}$

W/L	Longitudinal (dG_m^L)	Transverse (dG_m^T)
24/24	5.3	3.3
24/12	4.9	3.1
24/6	4.5	3.1
24/0.8	3.7	2.1

W: Gate width, L: Gate length
Longitudinal: drain current direction // load direction
Transverse: drain current direction $\perp$ load direction

研究で用いた他の形状のデバイスでも同様の傾向を示した。

表 1 に本研究で用いた nMOSFET の応力感度 (G_m 変化率) をまとめて示す。電流方向と負荷方向が平行な場合 (Longitudinal) の応力感度を dG_m^L 、垂直な場合 (Transverse) を dG_m^T としている。本研究で用いる応力感度とは、図 4 に例示したような G_m 変化率の測定結果において、測定結果を最小二乗近似して得られる直線の傾きとして定義している。前報 [12] でも報告したように、表 1 に示した実測される G_m 変化率の応力感度には、ゲート長さ依存性、すなわちゲート長さが短くなると応力感度が減少する傾向が見られる。次節では、この応力感度のゲート長さ依存性における影響因子について検討する。

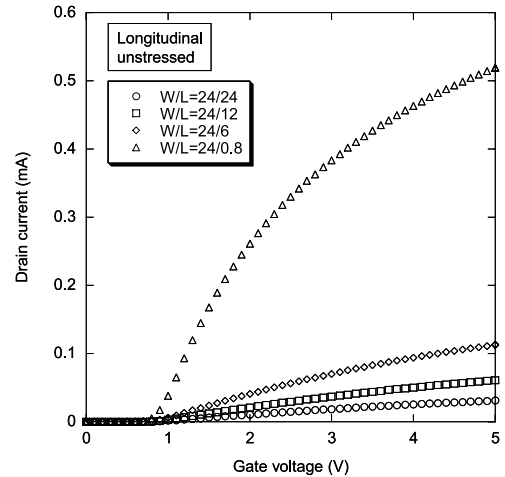


図 5 無負荷でのドレーン電流
Fig. 5 Unstrained drain current curves (unstrained, Longitudinal).

2.3 応力感度における影響因子の検討

2.3.1 nMOSFET の寄生抵抗

前節で示した応力感度のゲート長さ依存性について、デバイスの微細構造に起因したチャネル領域の応力分布の影響 [4] やデバイスの寄生抵抗の影響 [6] が指摘されている。そこで本研究では、ゲート長さが異なる nMOSFET において、実験で得られたゲート電圧・ドレーン電流関係を用い寄生抵抗の影響について検討した。図 5 には、無負荷の状態では計測されたゲート電圧・ドレーン電流関係 (Longitudinal) を、ゲート長さが異なる 4 種類 ($W/L = 24/24, 24/12, 24/6, 24/0.8$) についてまとめて示している。今回の測定範囲である線形領域での nMOSFET のドレーン電流は、次式 (1) で与えられる。

$$I_{DS} = \mu C_{ox} \frac{W}{L} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] V_{DS} \quad (1)$$

I_{DS} はドレーン電流、 V_{GS} 、 V_T 、 V_{DS} はそれぞれゲート電圧、しきい値電圧、ドレーン電圧である。また、 C_{ox} はゲート酸化膜容量である。図 5 に示すそれぞれのゲート電圧・ドレーン電流は、前述のとおりゲート長さ (L) のみが異なる nMOSFET を用いて同じ条件下で測定されている。したがって、式 (1) の関係を考慮して図 5 に示した実験結果に L/W を乗じれば、図 6 に示す規格化されたゲート電圧・ドレーン電流関係が得られる。図 6 には、しきい値電圧 (いずれの nMOSFET でも約 0.8 V) 以上での結果を示している。また図中には、 $W/L = 24/24$ デバイスの結果を最小二乗近似

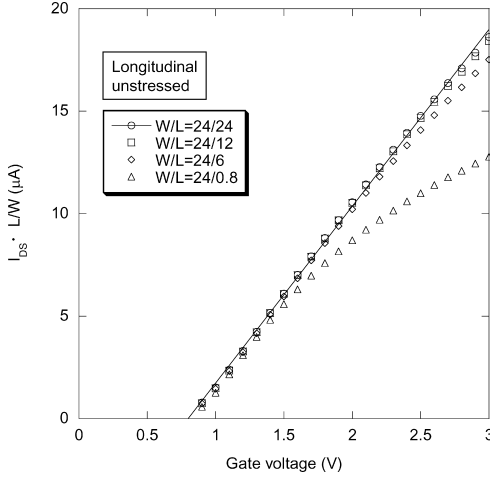


図 6 規格化されたドレーン電流

Fig. 6 Normalized drain current curves (unstressed, Longitudinal).

して得られる直線も同時に示す．図 6 に示す結果から， $W/L = 24/24$ デバイス及び $W/L = 24/12$ デバイスの測定結果はほぼ一致し，近似直線ともよく一致することが分かる．一方， $W/L = 24/0.8$ デバイスの測定結果は，ゲート電圧 1.5 V 付近から直線を大きく逸脱している．この原因は， $W/L = 24/0.8$ デバイスにおける寄生抵抗の影響が考えられる．そこで本研究では，この $W/L = 24/24$ デバイスと $W/L = 24/0.8$ デバイスでの結果の比較から，以下の方法でデバイスの寄生抵抗を簡易的に評価した．

MOSFET では，その構造に起因してソース及びドレーン部分に寄生抵抗が生じ，トランジスタ特性を劣化させることが知られている [20]．本研究で用いた nMOSFET のソース及びドレーン部分の寄生抵抗をそれぞれ R_S 及び R_D とすると，寄生抵抗を含んだ nMOSFET の回路図が図 7 のように表され，測定されるドレーン電流 $I_{D'S'}$ は， $R_S + R_D = R_P$ とすれば次式 (2) で与えられる [6]．

$$I_{D'S'} = \mu C_{ox} \frac{W}{L} \left[V_{GS'} - V_T - \frac{V_{D'S'}}{2} \right] \cdot (V_{D'S'} - I_{D'S'} R_P) \quad (2)$$

式 (1) との比較のために変形して，

$$I_{D'S'} = \mu C_{ox} \frac{W}{L} \left[V_{GS'} - V_T - \frac{V_{D'S'}}{2} \right] V_{D'S'} \cdot \left(1 - \frac{I_{D'S'}}{V_{D'S'}} R_P \right) \quad (2)'$$

ここで，寄生抵抗を含まない nMOSFET のドレーン

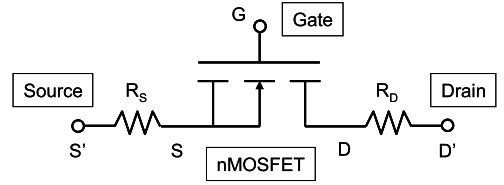


図 7 寄生抵抗を含んだ nMOSFET モデル

Fig. 7 nMOSFET model including parasitic resistance.

電流を I_{D0} とすれば，式 (1) との比較から次式 (3) の関係が得られる．

$$I_{D'S'} = I_{D0} \left(1 - \frac{I_{D'S'}}{V_{D'S'}} R_P \right) \quad (3)$$

I_{D0} を与える式に書き直せば，

$$I_{D0} = \frac{I_{D'S'}}{1 - \frac{I_{D'S'}}{V_{D'S'}} R_P} \quad (3)'$$

となり，実測されるドレーン電流 ($I_{D'S'}$) から，寄生抵抗を含まない nMOSFET のドレーン電流 (I_{D0}) を与える式が得られる．2.3.2 では，式 (3)' を用いて今回の実験結果から nMOSFET の寄生抵抗値を同定し，その影響を評価した．

2.3.2 寄生抵抗値の評価方法

$W/L = 24/24$ デバイスでは，図 5 及び図 6 に示したゲート電圧・ドレーン電流測定結果 (しきい値電圧以上の領域) より明らかなとおり，ゲート電圧印可に対してドレーン電流が直線的に変化し，かつ，ドレーン電流に対する見かけの抵抗値が比較的大きい．したがって本研究では， $W/L = 24/24$ デバイスでは寄生抵抗の影響が無視できるとみなし，この $W/L = 24/24$ デバイスと $W/L = 24/0.8$ デバイスで測定されたドレーン電流を比較することにより， $W/L = 24/0.8$ デバイスの寄生抵抗値を決定した．具体的には， $W/L = 24/0.8$ デバイスにおいて寄生抵抗を補正されたドレーン電流が $W/L = 24/24$ デバイスの結果と最もよく一致するように，式 (3)' を用いて $W/L = 24/0.8$ デバイスの寄生抵抗値を決定した．

式 (3)' において， $I_{D'S'}$ は図 5 に示される実測されたドレーン電流であり， $V_{D'S'}$ は計測条件から 0.1 V である．したがって， R_P の値を変化させて得られる I_{D0} (すなわち $W/L = 24/0.8$ デバイスの補正されたドレーン電流，Longitudinal) と $W/L = 24/24$ デバイスのドレーン電流 (Longitudinal) との差 δ (測定ゲート電圧ごと) の平均値が最小になるように R_P の

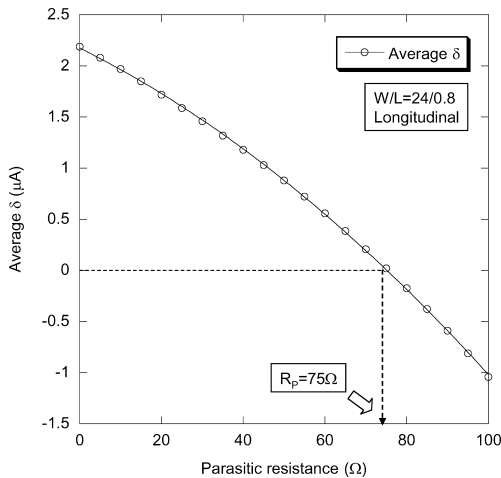


図 8 $W/L = 24/0.8$ デバイスの寄生抵抗値の変化に伴うドレーン電流の差 ($W/L = 24/24$ デバイスに対する $W/L = 24/0.8$ デバイス) の変化

Fig. 8 Variation of differential (δ) between drain current of $W/L = 24/24$ and drain current of $W/L = 24/0.8$ as a function of parasitic resistance (R_p) of $W/L = 24/0.8$.

値を決定した。ただし、 $W/L = 24/24$ デバイスのドレーン電流は、測定結果を最小二乗近似して得られる直線 (図 6) の値を用いた。図 8 に、 R_p の変化に対する δ の平均値の変化を示す。図 8 の結果から、 δ の平均値がゼロとなるときの R_p の値、具体的には 75Ω を $W/L = 24/0.8$ デバイスの寄生抵抗値とした。

2.3.3 影響因子の評価

図 9 に、図 6 に示した規格化されたゲート電圧・ドレーン電流関係を寄生抵抗によって補正した結果を示す。図 9 の結果では、4 種類の nMOSFET でゲート電圧・ドレーン電流関係が比較的良好に一致している。したがって、図 6 で示した $W/L = 24/0.8$ デバイスの測定結果における直線からの逸脱は、主に寄生抵抗の影響によるものと考えられる。寄生抵抗の値そのものは小さいが、ゲート長さが短いデバイスに与える影響度は比較的大きいことが分かる。図 10 には、寄生抵抗を補正したゲート電圧・ドレーン電流曲線を用いて得られた G_m 変化率の応力感度を、ゲート長さ (L) に対して示す。図 10 には、実測されるゲート電圧・ドレーン電流曲線を用いて得られた G_m 変化率の応力感度 (表 1) も同時に示している。なお本研究では、測定した 4 種類の nMOSFET はゲート長さ以外の構造が同じであるため、ソース及びドレーン部分の寄生抵抗値はすべての nMOSFET で同じであ

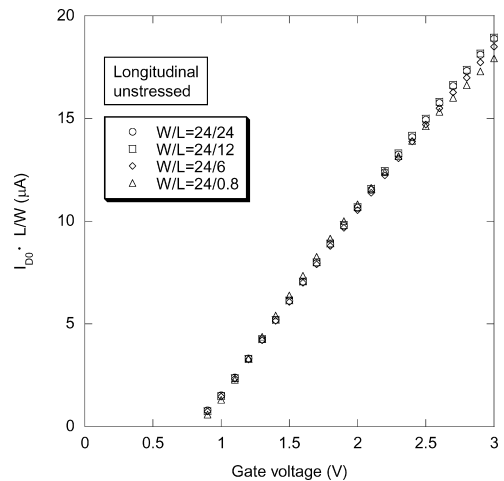


図 9 補正されたドレーン電流

Fig. 9 Corrected drain current curves (unstressed, Longitudinal).

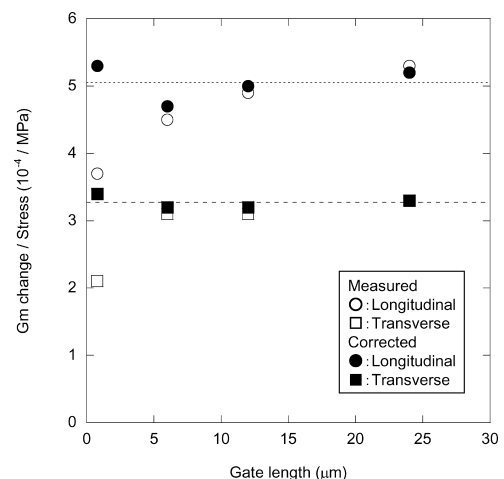


図 10 補正された G_m 変化率の応力感度

Fig. 10 Corrected stress sensitivities of G_m change to gate length.

るとみなせ、 $W/L = 24/0.8$ デバイス以外の結果も $W/L = 24/0.8$ デバイスで得られた値 (75Ω) を用いて補正した。また、応力による寄生抵抗値の変化は無視した。図 10 の結果は、寄生抵抗が補正された G_m 変化率の応力感度が、 $W/L = 24/0.8$ デバイスも含めてほぼ一定になることを示している。これは、電流方向と負荷方向が平行な場合 (Longitudinal) も垂直な場合 (Transverse) も同様であった。したがって、本研究で用いた nMOSFET で測定された G_m 変化率の応力感度におけるゲート長さ依存性は、nMOSFET

の寄生抵抗の影響が主因であると考えられる。

本研究で用いた 4 種類の nMOSFET では、図 2 に示したとおり LOCOS エッジからゲートエッジまでの距離が $1.8\ \mu\text{m}$ でいずれも同じである。一方でゲート長さが大きく異なるため、LOCOS 形成に起因した応力（分布）が nMOSFET のチャネル部分に及ぼす影響は、4 種類の nMOSFET で異なることが考えられる。これまで、SOI (Silicon on Insulator) の形成 [5] や、STI (Shallow Trench Isolation) の形成 [21] によって MOS の電気特性が変動することが報告されている。しかしながら本研究で用いた nMOSFET では、図 9 や図 10 に示したとおり、寄生抵抗を補正した無負荷でのドレイン電流及び G_m 変化率の応力感度は 4 種類の nMOSFET でほぼ同じとみなせる。したがって、nMOSFET デバイスの形成（LOCOS 等の素子分離酸化膜だけではなくその他の膜形成プロセスも含む）に起因した応力（デバイスの真性応力）の影響は、4 種類の nMOSFET で差異がないと考えられる。ただし、これは必ずしもデバイスの形成に伴う真性応力がゼロであることを意味するものではない。更に、応力感度に差異がないということは、図 4 に例示した‘外力’に対する応答にも差異がないことを意味している。したがって真性応力と同様に、デバイス形成後の外力（実装応力）が及ぼす影響も、4 種類の nMOSFET で差異がないと考えられる。すなわち、今回用いた nMOSFET では、デバイス形成後の特性（図 1 中の“*Intrinsic stress*”後）を変動ゼロの基準とした実装応力（図 1 中の“*External stress*”）による特性変動の評価において、デバイスの微細構造や真性応力の違いを考慮せず、実装時の（公称）応力と実装後の特性変動を対応させることができる。

3. QFP の残留応力

3.1 QFP 試験片

筆者らは、樹脂封止された半導体チップの残留応力評価手法として、ピエゾ抵抗ゲージによる実測と有限要素法熱弾性解析を組み合わせた簡易評価手法提案し、今回用いた QFP 試験片中の Si チップの残留応力を評価している [17]。残留応力評価用の QFP 試験片は、応力測定用のピエゾ抵抗ゲージが形成されている Si テストチップ（日立超 LSI システムズ社製）を QFP に実装して作製した。すなわち、Si チップのダイボンディング、ワイヤボンディング及び樹脂封止を行った。図 11 に QFP 試験片の形状を示す。Si チップの形状は、 $3\text{ mm} \times 3\text{ mm} \times 0.3\text{ mm}$ である。成形条件は、ダイボンディング後のダイボンディングペースト材のキュア温度が 180°C （昇温時間を含め 2 時間）、樹脂封止の際の金型温度が 175°C 、ポストキュアが 180°C で 5 時間である。なお、封止樹脂材として線膨張係数が 2 倍以上異なる 2 種類の樹脂を用いることにより、樹脂封止によって Si チップに発生する残留応力が異なる 2 種類の QFP 試験片を作製した。この封止樹脂の材料特性を表 2 に示す。以降では、線膨張係数が小さい方の樹脂を Resin A、大きい方の樹脂を Resin B

表 2 封止樹脂の材料特性
Table 2 Material properties of molding-resin.

	Young's Modulus (GPa)	Poisson's Ratio	Coefficient of thermal Expansion ($\times 10^{-6}/^\circ\text{C}$)
Resin A	24	0.25	12.2
Resin B	15.6	0.24	30.1

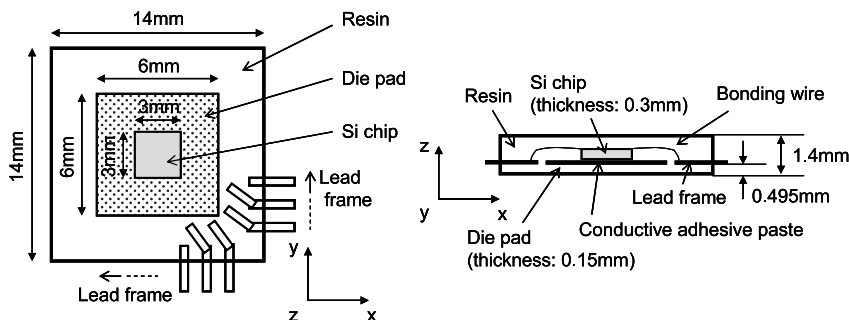


図 11 QFP 試験片
Fig. 11 Schematic diagram of QFP specimens.

とする．

次章に示す樹脂封止による DC 特性値の変動計測は，ピエゾ抵抗ゲージの代わりに nMOSFET が形成された Si チップ (3 mm × 3 mm × 0.3 mm) を上記と全く同じ条件で実装した QFP 試験片を用いて行った．すなわち，残留応力または DC 特性値変動を評価した QFP 試験片において，両者の構造，材料，寸法及び実装工程（条件）はすべて同じである．したがって，次節で示す残留応力の評価結果を，DC 特性値変動の計測時に nMOSFET に生じている残留応力とした．

3.2 残留応力の評価結果

まず，ピエゾ抵抗ゲージを用いて QFP 試験片 (Si チップ表面) の残留応力とその温度依存性を計測した．計測された残留応力の温度依存性を外挿して，残留応力がゼロとなる温度を“応力フリー温度” [22] として定義した．この応力フリー温度を線形熱弾性解析における応力ゼロの基準温度として，室温での残留応力をシミュレーションした．この評価手法の詳細と妥当性は，筆者らの既報論文 [17] に詳しい．

図 12 に，ピエゾ抵抗ゲージの Si テストチップ上での配置を示す．更に図 12 には，DC 特性値の変動を計測した nMOSFET の相対的な位置も同時に示している．図 13 (a) に Resin A，図 13 (b) に Resin B で樹脂封止した場合の残留応力評価結果を示す．なお， σ_{ii} は i 方向の垂直応力を表し， τ_{ij} は $i-j$ 面内でのせん断応力を表す．図 13 には，図 12 に示したピエゾ抵抗ゲージ #1 及び #2 によるゲージ長手方向の垂直応力実測値，ピエゾ抵抗ゲージ位置での有限要素法

解析 (FEM) 結果及び Si チップ上で $W/L = 24/6$ ， $W/L = 24/12$ 及び $W/L = 24/24$ デバイスが形成されている位置での有限要素法解析結果を示している．なお， $W/L = 24/0.8$ 位置の有限要素法解析結果に関しては，ピエゾ抵抗ゲージ #1 位置での結果と同じとみなせる．これらの結果はダイボンディング後の状態を残留応力ゼロの基準としており，したがって樹脂封止工程によって生じる残留応力値を示している．Resin B での残留応力の方が Resin A よりも大きいのは，Resin B の線膨張係数が Resin A より 2 倍以上大きい，すなわち Si チップとの線膨張係数差が大きいことに対応している．また，ピエゾ抵抗ゲージの結果と解析結果を比較すると，解析結果の方が小さくなる

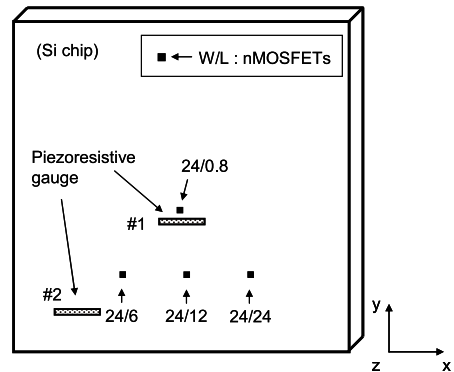


図 12 Si チップ上での nMOSFET とピエゾ抵抗ゲージの配置

Fig. 12 Distribution of nMOSFETs and piezoresistive gauges on Si chip.

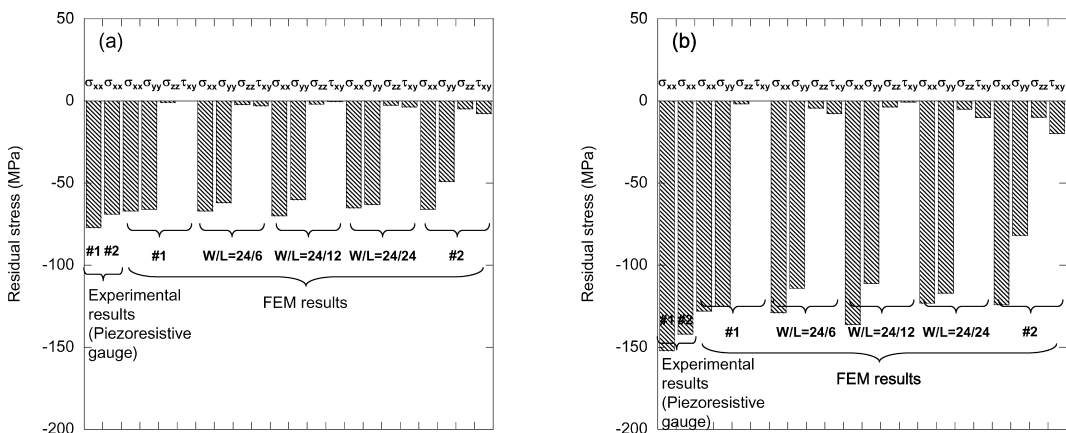


図 13 樹脂封止に起因した Si チップ上の残留応力

Fig. 13 Residual stress in Si chip after resin-molding. (a) Resin A, (b) Resin B.

傾向がある。これは、樹脂の粘弾性解析を行わず、解析モデルにリードフレーム形状の詳細等を省いた簡易解析モデルを使用していることに起因している [17]。

本研究では、4. に示す樹脂封止による DC 特性値変動評価に対応させる応力値、及び 5. に示す電子移動度モデルの検証に用いる応力値を、残留応力がより大きな Resin B、すなわち図 13 (b) に示す結果の評価から以下のように決定した。まず、チップ厚さ方向の垂直応力 σ_{zz} 及びチップ x - y 表面内のせん断応力 τ_{xy} に関して、最も大きな (絶対) 値を示す $W/L = 24/24$ デバイスの τ_{xy} であっても x - y 表面内の垂直応力 (σ_{xx} 及び σ_{yy}) と比較して 8% 程度である。したがって、nMOSFET が配置されている位置ではチップ厚さ方向の垂直応力 σ_{zz} 及びチップ x - y 表面内のせん断応力 τ_{xy} を無視した。また、面外のせん断応力 τ_{yz} 及び τ_{zx} も最大で 3 MPa 程度と非常に小さく、無視できる。次に、 x - y 表面内の垂直応力に関して、ゲージ #1 位置 ($W/L = 24/0.8$ デバイス位置) 及び $W/L = 24/24$ デバイス位置では、ほぼ $\sigma_{xx} = \sigma_{yy}$ である。 $W/L = 24/6$ デバイス位置では σ_{yy} の大きさが σ_{xx} に比較して約 10% 程度小さく、 $W/L = 24/12$ デバイス位置では 18% 程度小さくなる。本研究では、前述のとおり解析値が小さく算出される傾向を考慮し、実験事実であるピエゾ抵抗ゲージ #1 (σ_{xx}) の値を定量的な真値として用いることとして、 σ_{yy} が実測できないことからすべてのデバイス位置で $\sigma_{xx} = \sigma_{yy}$ とみなした。ここで、前述のとおり $W/L = 24/6$ デバイス位置及び $W/L = 24/12$ デバイス位置で σ_{xx} と σ_{yy} に多少の差があるものの、4 種類のデバイス位置においてそれぞれの σ_{xx} と σ_{yy} の平均値はほぼ同じである。したがって、4. で実施するピエゾ効果の関係をを用いた特性変動値の見積りにおいて、 $W/L = 24/6$ デバイス及び $W/L = 24/12$ デバイスで $\sigma_{xx} = \sigma_{yy}$ とみなしても、 $\sigma_{xx} \neq \sigma_{yy}$ とした場合との差は数%~10% 程度である。また、5. で実施する電子移動度モデルの評価においては、 $W/L = 24/24$ デバイスの結果を用いて検証を行うため、 $\sigma_{xx} = \sigma_{yy}$ とみなしても問題ない。以上から具体的には、4. 及び 5. において nMOSFET の残留応力値として、Resin A では $\sigma_{xx} = \sigma_{yy} = -77$ MPa、Resin B では $\sigma_{xx} = \sigma_{yy} = -152$ MPa を用いる。

4. 樹脂封止による DC 特性変動評価

4.1 実験方法

はじめに、nMOSFET が形成されている Si チップ

をダイボンディングした後、nMOSFET の電極パッドにプローブを直接接続し、ゲート、バックゲート、ソース及びドレイン電極に所定の電圧を印可してソース・ドレイン間の電流を計測した。計測条件は応力感度の計測と同様で、ソース・ドレイン間の電圧を 0.1 V に固定し、ゲート電圧を掃引してソース・ドレイン間の電流を計測した。次に、ワイヤボンディングを行った後、Resin A または Resin B で樹脂封止した。3. で述べたとおり、QFP 実装の手順、パッケージの構造・構成材料及び成形条件は、残留応力の評価に用いた QFP 試験片と全く同様である。次に、樹脂封止後の QFP 試験片のリードを可変電源・電流計に接続し、ダイボンディング後の計測と同条件でソース・ドレイン間の電流を計測した。電流の測定は、いずれの場合も試験片が遮光された環境で行った。以上の計測手順から、本研究ではダイボンディング後の計測結果を特性変動ゼロの基準とし、QFP 試験片での計測結果と比較することにより樹脂封止工程で生じた DC 特性変動値とした。これは、3. 2 で示した樹脂封止工程における残留応力値の定義と対応している。

4.2 評価結果

ゲート電圧の変化に対するドレイン電流変化の測定結果例として、図 14 (a), (b) に $W/L = 24/24$ デバイス、図 14 (c), (d) に $W/L = 24/0.8$ デバイスでの測定結果を示す。図 14 (a), (c) が Resin A での結果、図 14 (b), (d) が Resin B での結果を示している。今回計測を行ったいずれの nMOSFET 形状の場合も、図 14 に示す結果同様に樹脂封止によりドレイン電流が減少した。しきい値電圧の顕著な変動は見られなかった。これらは、2. 2 で例示した 4 点曲げ負荷試験による結果と同様の傾向である。また、いずれの nMOSFET 形状の場合も Resin B での変動量の方が Resin A での変動量よりも大きくなった。これは、Resin B を用いた QFP の方が Resin A を用いた QFP よりも試験チップに生じる残留応力が大きいことに対応している。図 15 には、樹脂封止工程に伴う G_m 変化率 (%) を nMOSFET ゲート長さ (L) に対して図示している。この結果、2. 2 で示した 1 軸負荷による G_m 変化率の応力感度同様に、ゲート長さ依存性が見られた。すなわち、2 軸負荷 (とみなせる) 状態においても、 G_m 変化率にはゲート長さ依存性が測定された。これは、2. 3 で 1 軸負荷の場合について示した検証結果、すなわち今回用いた nMOSFET で測定される電気特性変動におけるゲート長さ依存性は、

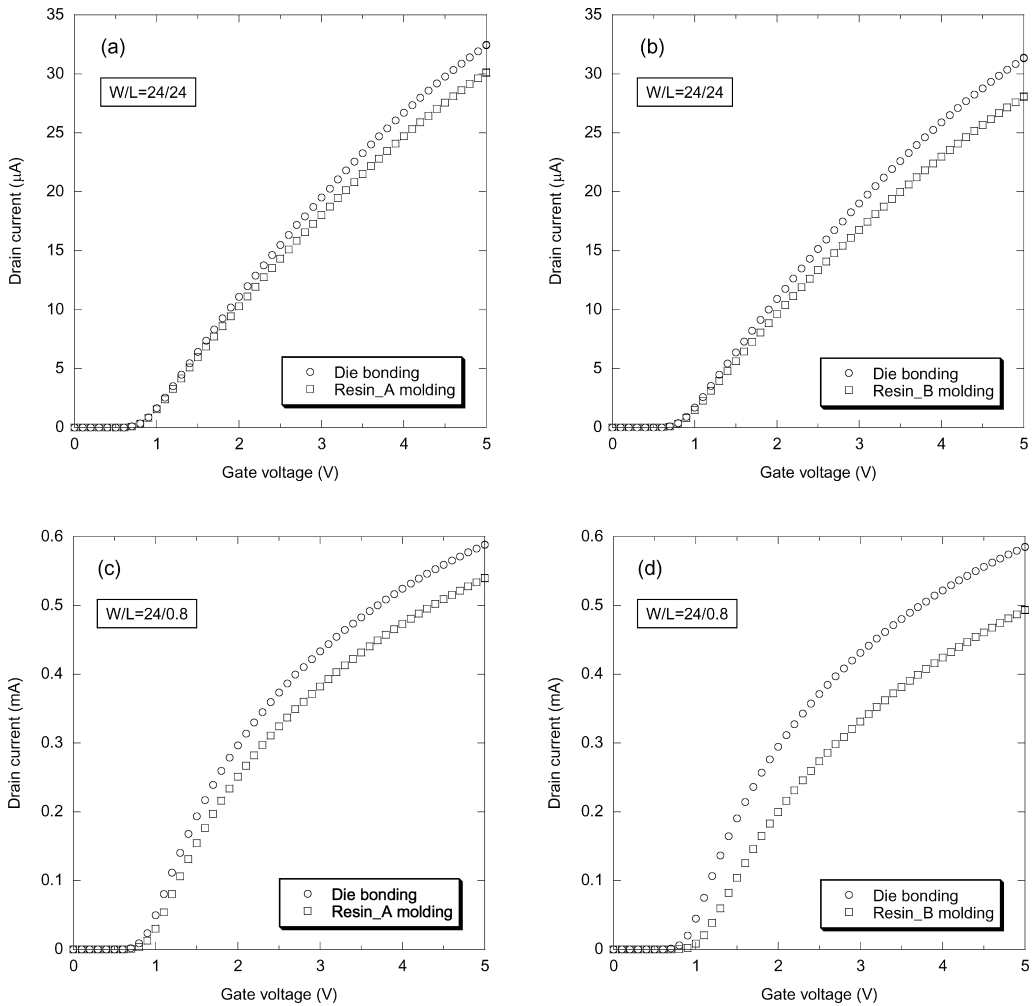


図 14 樹脂封止によるドレーン電流変化の実験結果

Fig. 14 Experimental results of drain current shifts induced by resin-molding.
 (a) $W/L = 24/24$, Resin A, (b) $W/L = 24/24$, Resin B, (c) $W/L = 24/0.8$, Resin A, (d) $W/L = 24/0.8$, Resin B.

デバイスの微細構造に起因した応力分布の差の影響ではなく、主に寄生抵抗による影響という評価結果とも矛盾がない。

次に、2.2 で示した 1 軸負荷による G_m 変化率の応力感度と 3.2 で示した Si チップ上の残留応力の見積り結果を用い、図 15 に示した樹脂封止工程に伴う G_m 変化率の測定結果を評価した。ピエゾ効果の関係から、チップ表面内の 2 軸応力負荷によるドレーン電流は、電流方向のみの応力を考えた場合の変動量と電流方向と垂直な方向のみの応力を考えた場合の変動量の和で見積もられる。 G_m の変動量も同様に考え、

G_m 変化率 $\Delta G_m / G_m$ を次式 (4) で見積もる。

$$\frac{\Delta G_m}{G_m} = dG_m^L \sigma^L + dG_m^T \sigma^T \quad (4)$$

ここで、 σ^L は電流方向の応力値、 σ^T は電流方向と垂直な方向の応力値である。本研究では 3.2 で示したとおり、Resin A の場合 $\sigma^L = \sigma^T = -77$ MPa、Resin B の場合 $\sigma^L = \sigma^T = -152$ MPa とした。図 15 には、このそれぞれの応力値と表 1 に示した G_m 変化率の応力感度 (dG_m^L 及び dG_m^T) を用い、式 (4) から樹脂封止工程における G_m 変化率を予測した結果も同時に示している。予測結果の方が実験結果よりも変

動量が小さくなる傾向が見られたが, Resin A 及び Resin B のいずれの場合も, 式 (4) を用いて今回の計測結果を比較的良好一致で見積もることができた. つまり, あるデバイスについて荷重試験により種々の応力効果を内包した特性変動パラメータ (つまり応力感度) を同定すれば, そのデバイスを実装する際の設計指針を得ることが一応可能である. 評価手法としてのこのピエゾ効果モデルは, 応力と電気特性 (抵抗変化率等) を直接結び付ける経験論的モデルである. 換言すれば, 各デバイスにおける構造等の違いは考慮されず, 定量的な汎用性は有していない. すなわち, 更に定量的, 汎用的な評価を行うためには, MOS デバイス形状の違いや不純物濃度の違い等が評価モデルの中で

考慮されなければならない. これを可能とする評価手法の一つに, デバイスシミュレータを用いた評価が挙げられる. ドリフト拡散モデルによるデバイスシミュレーションを念頭に置けば, 応力の効果はキャリア移動度の変化に集約されることになる. 図 16 には, 応力 (ひずみ) と電気特性変動を結び付けるための変形ポテンシャル [23] を用いた電子移動度変調モデルと, ピエゾ効果モデルの概要を比較して示す. 電子移動度の変調という視点に立てば, 図 1 に示したような種々の影響因子を含んだ評価・シミュレーションモデルの構築が可能となる. 次章では, この応力効果を考慮した電子移動度モデルに関して, 本実験結果との比較により検討を行う.

5. 応力効果を考慮した電子移動度モデルに関する検討

5.1 バルク Si 及び MOS 反転層での伝導帯エネルギー

5.1.1 バルク Si

本研究では nMOSFET を対象としているため, 本章での議論は電子移動度を対象とする. バルク Si の伝導バレーは無負荷の状態では 6 重に縮退しており, その等エネルギー面は k 空間 (波数空間) において $\langle 100 \rangle$ 結晶軸及びそれと等価な軸を長軸とする回転楕円体として表される [24]. 図 17 に模式的に示すこの多バレーモデルでは, 有効質量近似によりそれぞれの伝導バレーにおいて回転楕円体の長軸方向に有効質量 m_L^* , 移動度 μ_L , それと垂直方向に有効質量 m_T^* , 移動度 μ_T を有していると考ええる. このとき, $m_L^* > m_T^*$, す

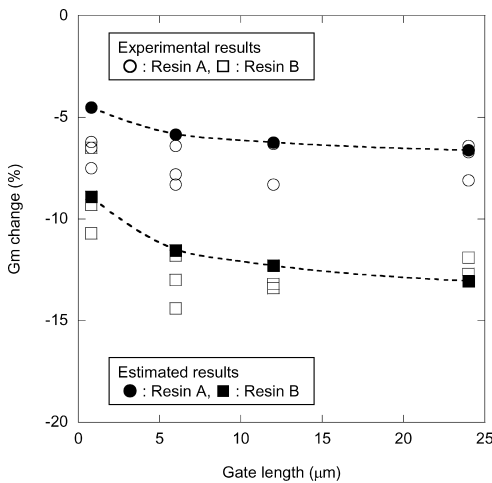


図 15 Gm 変化率の実験結果と予測結果

Fig. 15 Experimental results and estimated results of Gm change.

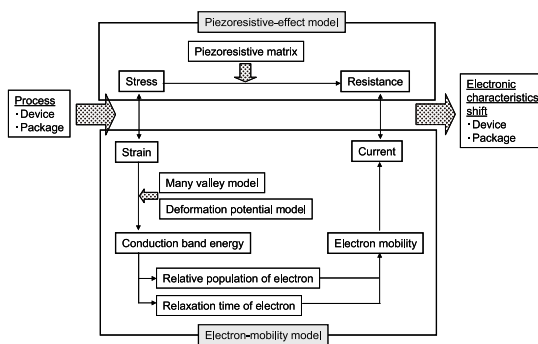


図 16 応力効果モデル (ピエゾ効果モデルと電子移動度変調モデル)

Fig. 16 Stress-induced effect models (Piezoresistive-effect model and Electron mobility model).

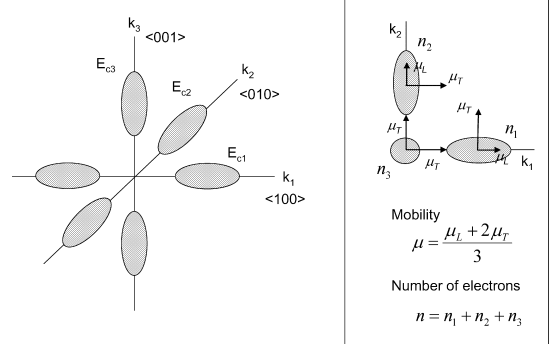


図 17 k 空間 (波数空間) におけるバルク Si 伝導体の多バレーモデル

Fig. 17 Schematic diagram of many-valley model in k -space for conduction band in bulk silicon.

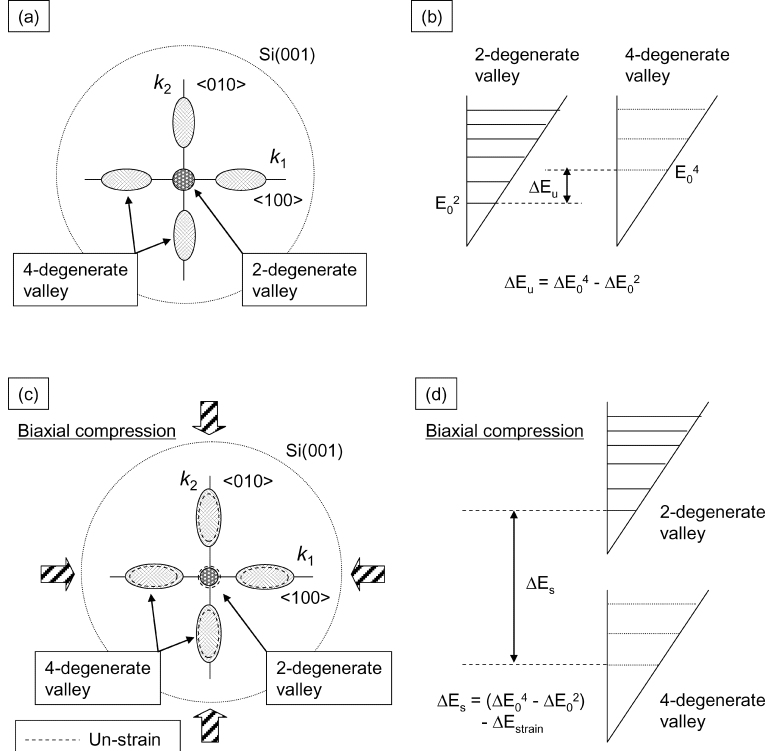


図 18 Si MOS 反転層の伝導帯エネルギー [25], [26]

(a) 伝導バレー, 無負荷, (b) サブバンドエネルギー, 無負荷

(c) 伝導バレー, 2 軸圧縮, (d) サブバンドエネルギー, 2 軸圧縮

Fig. 18 Si MOS conduction band energy in inversion layer [25], [26].

(a) conduction band valley, un-strain, (b) subband energy, un-strain,

(c) conduction band valley, biaxial compressive stress, (d) subband energy, biaxial compressive stress.

なわち $\mu_L < \mu_T$ であり, この概念により多くの実測されるバルク Si の電気的特性の異方性を記述することができる. なお, $\langle 100 \rangle$ 結晶軸を 1 軸に, $\langle 010 \rangle$ 軸を 2 軸, $\langle 001 \rangle$ 軸を 3 軸にそれぞれ対応させる.

例えば 1 軸方向の総体的な移動度 μ_1 を考えると, μ_1 は次式 (5) で与えられる.

$$\mu_1 = \left\{ \frac{n_1}{n} \mu_L + \left(\frac{n_2}{n} + \frac{n_3}{n} \right) \mu_T \right\} \quad (5)$$

n_1 , n_2 及び n_3 は, それぞれ 1 軸, 2 軸及び 3 軸に沿った伝導バレーにおける電子数であり, n は総電子数 ($n = n_1 + n_2 + n_3$) である. バルク Si において無負荷の状態では六つの伝導バレーが縮退しており等価であるため, 総体的な移動度はいずれの方向においても

$$\mu = \frac{\mu_L + 2\mu_T}{3} \quad (6)$$

で与えられ等方的となる.

5.1.2 nMOSFET 反転層

本研究で用いた Si (001) MOS デバイスの反転層における電子状態はバルク Si のそれ (図 17) とは異なり, 反転層での電子が二次元量子化される結果, 図 18 (a), (b) に示すように二重縮退バレーと四重縮退バレーに分岐する [25], [26]. このとき, 図 18 (b) に示すように二重縮退バレーの基底サブバンドエネルギー E_0^2 の方が, 四重縮退バレーの基底サブバンドエネルギー E_0^4 よりも $\Delta E_u = E_0^4 - E_0^2$ だけ低くなる.

この MOS 反転層にひずみが生じると, 伝導バンド端 (すなわちバレー) が変化して図 18 (b) に示した二重縮退バレーと四重縮退バレーの基底サブバンドエネルギー差が更に変調する. 具体的には (001) 面内の 2 軸圧縮応力状態, すなわち本研究で評価を行った nMOSFET の応力状態では, 伝導バレーが図 18 (c) のように変化する. このとき, 図 18 (d) に示すよう

に、ひずみによる効果（伝導バンド端の変化）を含んだ二重縮退バレーの基底サブバンドエネルギーと四重縮退バレーの基底サブバンドエネルギー差 ΔE_s は、 $\Delta E_s = \Delta E_u - \Delta E_{strain}$ で表される．ここで、 ΔE_{strain} はひずみに起因した二重縮退バレーと四重縮退バレーの変調差（伝導バンド端の変化分）である．本研究では、無負荷の状態（図 18(a), (b)）の電気特性値を変動ゼロの基準としているため、ひずみによる変調差分 ΔE_{strain} （つまり図 18(b) から図 18(d) への変調分）のみを考え移動度の変化と対応させる．

5.2 応力効果を考慮した電子移動度モデル

図 18(d) に示したようなひずみによるエネルギーの変調は、各伝導バレーにおける電子存在数及びバレー間の散乱確率を変化させ、その結果、電子移動度が変動する [25], [26]．Egley と Chidambarrao は、ひずみによる電子移動度の変化を各伝導バレーのエネルギー変化に伴う電子存在確率の変化のみに帰着させたモデルを提案している [18]．すなわち、ひずみによる伝導バレーのエネルギー変化によって各伝導バレーの電子数が変化し、各伝導バレー間の電子数に差異が生じる．つまり、式 (5) の μ_L 及び μ_T の係数が変化し、ひずみの状態に対応して総体の移動度が変化することになる．Egley らの電子移動度モデルでは、この伝導バレー間の電子存在確率の相対的な偏差のみを総体の移動度変化に反映させるモデルである．

本研究では、Egley らの移動度変化モデルを簡略化したモデル [27] を用いており、電子の分布関数（存在確率）として Boltzmann 分布関数を用いた．すなわち、移動度変化係数 f_{stress} を次式で算出した．

$$f_{stress} = \frac{\frac{1}{3} \sum_{i=1}^3 c_i \exp\left(-\frac{\Delta E_c^i}{kT}\right)}{\frac{1}{3} \sum_{i=1}^3 \exp\left(-\frac{\Delta E_c^i}{kT}\right)} \quad (7)$$

ここで、 ΔE_c^i はひずみによる i 軸上 ($i = 1, 2, 3$) の伝導バレーのエネルギー変化である．この ΔE_c^i は、変形ポテンシャルモデルを用いれば次式 (8) で表される [23]．

$$\Delta E_c^i = \Xi_d(\varepsilon_{11} + \varepsilon_{22} + \varepsilon_{33}) + \Xi_u \varepsilon_{ii} \quad (8)$$

ここで、 Ξ_d 及び Ξ_u は変形ポテンシャル定数、 ε_{ii} はひずみテンソルである．本研究では、前節で述べたとおり、ひずみに起因した各伝導バレーエネルギーの変

化分のみを移動度変化におけるひずみによる影響分とみなす．したがって、3.2 で評価した残留応力（ひずみ）から式 (8) を用いて各伝導バレーのエネルギー変化を算出し、式 (7) を用いて移動度変化係数 f_{stress} を求めた．なお、式 (7) 中の k は Boltzmann 定数、 T は格子温度であり、本研究では $T = 300$ K とした． c_i は i 軸上で定義される移動度の電流方向移動度への寄与分である．本研究で用いた試験片のように電流方向が (001) 面内であり、1 軸と電流方向のなす角が θ であれば、 c_i は次式 (9), (10), (11) で与えられる．

$$c_1 = R_L \cos^2 \theta + R_T \sin^2 \theta \quad (9)$$

$$c_2 = R_T \cos^2 \theta + R_L \sin^2 \theta \quad (10)$$

$$c_3 = R_T \quad (11)$$

ここで、 R_L 及び R_T は、

$$R_L = \frac{\mu_L}{\mu} = \frac{\mu_L}{(\mu_L + 2\mu_T)/3} = \frac{3}{1 + 2(m_L^*/m_T^*)} \quad (12)$$

$$R_T = \frac{\mu_T}{\mu} = \frac{\mu_T}{(\mu_L + 2\mu_T)/3} = \frac{3(m_L^*/m_T^*)}{1 + 2(m_L^*/m_T^*)} \quad (13)$$

で与えられる．以上により、ひずみが生じた後の移動度 μ_{stress} は、ひずみが生じる前の移動度を μ_{un} として、次式 (14) から算出される．

$$\mu_{stress} = f_{stress} \cdot \mu_{un} \quad (14)$$

次節では、以上の移動度モデルを用いて QFP 実装に起因した nMOSFET の移動度変化を算出し、実験結果との比較を行う．

5.3 実験結果との比較による検証

図 19 には、 $W/L = 24/24$ デバイスにおいて式 (7) を用いて移動度変化率 $\Delta\mu/\mu_{un}$ を求めた結果を示す．ここで移動度変化率 $\Delta\mu/\mu_{un}$ は次式 (15) で定義される．

$$\frac{\Delta\mu}{\mu_{un}} = \frac{\mu_{stress} - \mu_{un}}{\mu_{un}} = f_{stress} - 1 \quad (15)$$

なお、図 19 に示す移動度変化率は、すべてゲート電圧 2 V における値である．応力値として、3.2 で示したとおり Resin A では $\sigma_{11} = \sigma_{22} = -77$ MPa、Resin B では $\sigma_{11} = \sigma_{22} = -152$ MPa を適用した．応力は Si の弾性コンプライアンス [28] を用いてひずみに変換した．変形ポテンシャル定数の値として文献値 [29]、具

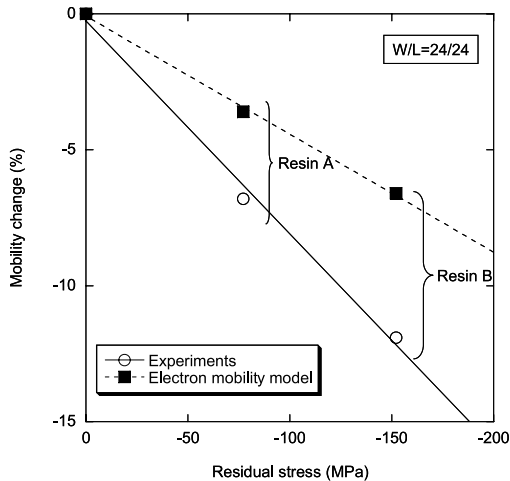


図 19 実験結果と移動度変化モデルの比較

Fig. 19 Comparison with experimental results and electron mobility model ($W/L = 24/24$).

体的には $\Xi_d = 1.1 \text{ eV}$ 及び $\Xi_u = 10.5 \text{ eV}$ を用いた。図 19 には、比較のため実験結果から求めた移動度変化率も同時に示している。実験結果として示している値は、複数の試験片から得られる結果の平均値である。この移動度変化率の実験結果は以下の手順 [6] で求めた。既に述べたとおり、nMOSFET の線形領域におけるドレーン電流 I_D は式 (1) で表される。式 (1) において負荷による nMOSFET の寸法変化が微小であるとして W , L , C_{ox} の変化を無視すれば、しきい値電圧の変動が計測されなかったことから以下の関係が得られる。

$$\frac{\Delta I_{DS}}{I_{DS}} \cong \frac{\Delta \mu}{\mu_{un}} \quad (16)$$

ここで、 I_{DS} はドレーン電流、 ΔI_{DS} はドレーン電流の応力による変動量である。図 19 に示す移動度変化率 $\Delta \mu / \mu_{un}$ の実験結果は、図 14 (a), (b) に示したドレーン電流測定結果からドレーン電流の変動量 ΔI_{DS} を求め、式 (16) の関係を用いて算出した。図 19 に示す比較結果から、実験結果から得られる移動度変化率が、式 (7) に示した移動度変化モデルを用いて算出される移動度変化率の約 1.8 倍となることが分かった。

式 (7) に示した移動度変化モデルでは、ひずみによる伝導バレー間の電子存在確率の変化のみに対応して総体の移動度が変化する。例えば式 (5) で表される関係においてひずみによる μ_L や μ_T の変化は考慮されず、その係数である n_1/n 等の変化、すなわち電子存在確率の変化のみが総体の移動度変化に反映される。

古典論的な表現を用いれば電子移動度は電子有効質量と反比例、緩和時間と比例関係にあり、式 (7) の移動度変化モデルではこの比例定数のみが変化することになる。しかしながら、実験結果と式 (7) の移動度モデルでの算出結果の差異を勘案すれば、 μ_L や μ_T の変化も無視できないと考えられる。すなわち、バレー間の散乱確率の変化（緩和時間の変化）の影響が比較的大きいと考えられる。したがって今後は、ひずみとバレー間散乱の変化の相関をモデル化する必要がある。

以上、今回検討した電子移動度モデルには物理現象の反映において更に考慮すべき点が残されており、今後更なる実験データの蓄積とモデル化に関する議論が必要である。

6. む す び

本研究では、実際の樹脂封止工程における nMOSFET の応力に起因した特性値変動を評価した。その際、nMOSFET の応力感度に影響を及ぼす因子として nMOSFET の微細構造に起因した応力分布の影響、及び寄生抵抗の影響に関して検討した。その結果、実測される応力感度におけるゲート長さ依存性が、nMOSFET の寄生抵抗の影響であることを示した。樹脂封止工程における nMOSFET の特性変動計測結果は、ピエゾ抵抗ゲージによる計測と有限要素法線形熱弾性解析を組み合わせた手法による残留応力評価結果、及び 4 点曲げ試験により計測した 1 軸応力感度を用いて見積もることができた。

また、実験結果との比較により、デバイスシミュレータでの使用を念頭に置いた応力（ひずみ）効果を考慮した電子移動度モデルを検証した。その結果、応力効果における電子散乱確率の変化の影響が比較的大きいことが推察された。すなわち、応力効果が考慮された電子移動度モデルについては物理現象の反映において更に検討を要する。デバイスシミュレータの有用性にかんがみれば、今後更なるシミュレーションモデルの開発及び検証が期待される。

謝辞 本研究を実施するにあたり、実験に御協力頂いた新日本無線（株）吉田誠一郎氏、荒木千明氏、坂田大輔氏並びに九州ミツミ（株）井芹陽一氏に感謝致します。また、電子移動度モデルに関して有益な御示唆を頂いた東京大学 高木信一教授に感謝致します。

本研究の一部は、福岡地域の文部科学省知的クラスター創成事業の支援による。

文 献

- [1] 三浦英生, 西村朝雄, 河合末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ残留応力の検討,” 日本機械学会論文集 (A), vol.55-516, pp.1763–1770, 1989.
- [2] 上田啓貴, 三浦英生, “フリップ実装構造における Si チップ内の局所残留応力評価,” 信学論 (C), vol.J88-C, no.11, pp.859–865, Nov. 2005.
- [3] C.S. Smith, “Piezoresistance effect in germanium and silicon,” Phys. Rev., vol.94, no.1, pp.42–49, 1954.
- [4] A. Hamada, T. Furusawa, N. Saito, and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices,” IEEE Trans. Electron Devices, vol.38, no.4, pp.895–900, 1991.
- [5] C.L. Huang, H.R. Soleimani, G.J. Grula, J.W. Sleight, A. Villani, H. Ali, and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices,” IEEE Trans. Electron Devices, vol.44, no.4, pp.646–650, 1997.
- [6] A.T. Bradley, R.C. Jaeger, J.C. Suhling, and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon,” IEEE Trans. Electron Devices, vol.48, no.9, pp.2009–2015, 2001.
- [7] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon,” Solid-State Electron., vol.48, pp.561–566, 2004.
- [8] W. Zhao, J. He, R.E. Belford, L.E. Wernersson, and A. Seabaugh, “Partially depleted SOI MOSFETs under uniaxial tensile strain,” IEEE Trans. Electron Devices, vol.51, no.3, pp.317–323, 2004.
- [9] K. Uchida, R. Zednik, C.H. Lu, H. Jagannathan, J. McVittie, P.C. McIntyre, and Y. Nishi, “Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs,” International Electron Devices Meeting, pp.229–232, 2004.
- [10] K. Uchida, T. Krishnamohan, K.C. Saraswat, and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime,” International Electron Devices Meeting, pp.135–138, 2005.
- [11] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川 啓一, “ディーサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発,” 日本機械学会論文集 (A), vol.72-713, pp.47–54, 2006.
- [12] 小金丸正明, 池田 徹, 宮崎則幸, 友景 肇, “実験とデバイスシミュレーションによる nMOSFET の応力に起因した DC 特性変動評価,” 信学論 (C), vol.J90-C, no.4, pp.351–362, April 2007.
- [13] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動,” 日本機械学会論文集 (A), vol.61-589, pp.1957–1964, 1995.
- [14] H. Ali, “Stress-induced parametric shift in plastic packaged devices,” IEEE Trans. Compon. Packag. Manuf. Technol., vol.20, Part B, no.4, pp.458–462, 1997.
- [15] N. Watanabe and T. Asano, “Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor,” Jpn. J. Appl. Phys., vol.41, Part 1, no.4B, pp.2714–2719, 2002.
- [16] 池田晃裕, 浜口 淳, 小木博志, 岩崎一也, 服部励治, 黒木 幸令, “チップスタック型マルチチップ実装における MOSFET の移動度の変動について,” 信学論 (C), vol.J88-C, no.11, pp.866–873, Nov. 2005.
- [17] 小金丸正明, 池田 徹, 宮崎則幸, “ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価,” エレクトロニクス実装学会誌, vol.9, no.3, pp.186–194, 2006.
- [18] J.L. Egle and D. Chidambarrao, “Strain effects on device characteristics: Implementation in drift-diffusion simulators,” Solid-State Electron., vol.36, no.12, pp.1653–1664, 1993.
- [19] Y. Kanda, “Piezoresistance effect of silicon,” Sensors and Actuators, A, vol.28, pp.83–91, 1991.
- [20] 岸野正剛, 半導体デバイスの物理, 丸善, 第 4 刷, 2002.
- [21] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robillart, C. Raynaud, and H. Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress,” IEEE Trans. Electron Devices, vol.51, no.8, pp.1254–1261, 2004.
- [22] Won-Keun Kim, 池田 徹, 宮崎則幸, “異方性導電樹脂接合部の接合信頼性評価,” エレクトロニクス実装学会誌, vol.6, no.2, pp.153–160, 2003.
- [23] C. Herring and E. Vogt, “Transport and deformation-potential theory for many-valley semiconductors with anisotropic scattering,” Phys. Rev., vol.101, no.3, pp.944–961, 1956.
- [24] K. Seeger, Semiconductor Physics, 4th ed., Springer-Verlag, 1989.
- [25] S. Takagi, J.L. Hoyt, J.J. Welser, and J.F. Gibbons, “Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors,” J. Appl. Phys., vol.80, no.3, pp.1567–1577, 1996.
- [26] 高木信一, “Si 系高移動度 MOS トランジスタ技術,” 応用物理, vol.74, no.9, pp.1158–1170, 2005.
- [27] (株) 半導体先端テクノロジーズ, 3 次元デバイスシミュレータ HyDeLEOS ver.3.1 ユーザーズマニュアル, 2000.
- [28] J.J. Wortman and R.A. Evans, “Young’s modulus, shear modulus, and Poisson’s ratio in silicon and germanium,” J. Appl. Phys., vol.36, no.1, pp.153–156, 1965.
- [29] M.V. Fischetti and S.E. Laux, “Band structure, deformation potentials, and carrier mobility in strained

Si, Ge, and SiGe alloys," J. Appl. Phys., vol.80, no.4, pp.2234-2252, 1996.

(平成 19 年 9 月 3 日受付)



小金丸正明 (正員)

1992 九大・応用原子核卒, 1994 同大大学院総理工修士課程了, 修士(工). 同年福岡県工業技術センター機械電子研究所入所, 材料・構造物の強度信頼性に関する試験研究, 指導業務に従事, 研究員. 2002 より電子デバイス実装における機械的・電氣的信頼性に関する研究に従事, 日本機械学会, エレクトロニクス実装学会, 応用物理学会, 日本計算工学会各会員.



池田 徹

1986 九大・化学機械卒, 1992 同大大学院化学機械博士課程了, 博士(工). 1992 九大工学部助手, 1996 同助教授, 2004 より京大工学研究科助教授, 界面・接着の破壊力学, 電子実装における信頼性評価の研究に従事, 日本機械学会, 日本材料学会, 複合材料学会, エレクトロニクス実装学会, 日本計算工学会, 化学工学会各会員.



宮崎 則幸

1972 東大・原子力卒, 1977 同大大学院原子力博士課程了, 1977 日本原子力研究所研究員, 1983 九大助教授, 1996 九大教授, 2004 京大教授, 電子/光学デバイス用単結晶の材料強度に関する研究, 電子デバイス実装の強度信頼性評価に関する研究に従事, 日本機械学会奨励賞, ICES WASHIZU MEDAL, 日本機械学会計算力学部門・業績賞, 同・功績賞, エレクトロニクス実装学会論文賞, 日本機械学会船井賞, 溶接学会 Mate 2006 優秀論文賞を受賞, 日本機械学会フェロー, 日本学術会議連携会員.



友景 肇 (正員)

1977 九大・電気卒, 1982 同大大学院電気博士課程了, 工博, 1982 福岡大学講師, 1985 同大助教授, 1987 スタンフォード大学客員研究員, 1992 から福岡大学工学部電子情報工学科教授, シリコン, カーボン系材料などの評価とデバイス応用, 高周波パッケージの設計・評価に従事, 現在, エレクトロニクス実装学会副会長, 応用物理学会九州支部理事, デバイス実装研究会会長, NPO 法人半導体目利きボード理事長, 2001 から半導体実装国際ワークショップ MAP の実行委員長.