

多層基板の熱変形挙動の予測 およびそのパッケージの反り解析への適用*

松田和敏^{*1}, 池田 徹^{*2}, 宮崎則幸^{*3}

Prediction of Thermal Deformation of Multi-Layered Substrate, and Its Application to Warpage Analysis of Package

Kazutoshi MATSUDA^{*4}, Toru IKEDA and Noriyuki MIYAZAKI

^{*4} SiP Design Department LSI Assy Engineering Division,
Sony Semiconductor Kyushu Corporation Oita Technology Center,
3319-2 Owara, Kunisaki-machi, Kunisaki-shi, Oita, 873-0511 Japan

In electronic packages such as a BGA package, decrease of package warpage in the temperature range where the package is used is a key issue in order to enhance the reliability of solder connection and to reduce the number of defective packages. If we can predict the package warpage accurately in the design stage of electronic packaging by using a simulation method, we can make use of such a prediction to enhance the reliability of electronic packaging. We need the material properties of silicon chip, molding resin and printed circuit board (PCB) used as a substrate to predict the package warpage. Among them, PCBs have multi-layered structures, and each layer has a complicated structure such as fine and high density wiring pattern. In the present study, we propose a method for predicting the thermal deformation of PCB using a finite element viscoelastic analysis, in which the complicated structure of each layer in PCB is taken into account. The apparent coefficient of thermal expansion (CTE) for PCB calculated from the proposed method is compared with the experimental results to show the effectiveness of the proposed method. Furthermore, it is shown that the warpage of a package consisting of a silicon chip and a substrate (PCB) can be predicted using the apparent CTE of PCB.

Key Words: Finite Element Method, Viscoelastic Analysis, Printed Circuit Board, Warpage, Coefficient of Thermal

1. 緒 言

電子機器の実装部品に使われているBGA(Ball Grid Array), LGA(Land Grid Array)などの半導体パッケージにおいて, 実装温度領域における反り量の低減は, 製品歩留まりや, はんだの接続信頼性を保証する上で重要である。そのためには, パッケージの設計段階から反りを正確に予測する必要があり, 有限要素法(以下, FEMと呼ぶ)などを用いたシミュレーション技術の導入が不可欠になりつつある。パッケージの反りは, それを構成するシリコンチップ, モールド樹脂, プリント配線板(以下, 基板と呼ぶ)などの線膨張係数のミスマッチから発生する。そのため, パッケージ構成材料の一つである基板の見かけの線膨張係数

を設計段階から正確に予測できれば, 精度の高い反りのシミュレーションが可能になる。

近年の基板は, 電子機器の薄型・小型化・高性能化に伴い, 薄型化・配線パターンの微細化・高密度化が要求されている。その実現のため, 2層貫通基板から, より高密度微細配線が可能な薄型多層構造のビルドアップ基板へと推移している。このため, 基板の見かけの線膨張係数を正確に求める上で重要になるのは, 評価する基板の構成材料の物性値を試験から正確に求めることである。その際, 基板構成材料に用いられる高分子材料は, 時間と温度によって, その熱的・機械的性質が著しく変化する, いわゆる粘弾性挙動を示すことから, 粘弾性物性の測定も必要不可欠である。

次に重要になるのは, 微細な銅配線の影響を考慮することである。同じ構成材料・構造でも配線の違いで基板の反り量など熱変形挙動が異なることが知られている⁽¹⁾⁽²⁾。しかし, 構成材料の粘弾性挙動に加え銅配線の影響までを考慮した研究事例は少ない。銅配線の影響を基板の熱変形のシミュレーションに考慮する場合, パッケージに用いられる配線幅0.1mm以下の配

* 原稿受付 2009年8月3日。

^{*1} 正員, ソニーセミコンダクタ九州(株)(☎873-0511 国東市国東町小原3319-2)。

^{*2} 正員, 京都大学大学院工学研究科(☎608-8501 京都市左京区吉田本町)。

^{*3} 正員, フェロー, 京都大学大学院工学研究科。

E-mail: Kazutoshi.Matsuda@jp.sony.com

線形状を正確にモデル化するには、メッシュサイズは0.1 mm 以下にする必要がある。そのため、配線幅が1.0 mm の評価基板での反り研究⁽³⁾や、モジュール用基板などを用いての最小メッシュサイズ0.5 mm で配線をモデル化した反り研究⁽⁴⁾の解析手法では、半導体パッケージ用基板の0.1 mm 以下の配線をモデル化できず、評価には適用できない。また、ソリッド要素を用いて、配線や絶縁材料を貫通するビア配線の熱変形を解析し、その結果をもとに、シェル要素を用いてモデル化して、基板の熱変形をシミュレーションし、基板の見かけの弾性率・見かけの線膨張係数を算出する研究⁽⁵⁾も行われているが、この場合、ソリッド要素とシェル要素を用いた二度のモデリングが必要である。

そこで、本研究では、簡易的に半導体パッケージ用基板の見かけの線膨張係数を予測する方法として、基板配線CADデータから直接、FEM用のシェル要素を生成するプログラムを開発し、基板構成材料の物性データから、2層貫通基板と4層ビルドアップ基板の見かけの線膨張係数を精度よく算出する方法を提案する。さらに、計算で求めた見かけの線膨張係数を用いてFlip Chipパッケージの反り挙動を精度よく解析できることも示す。今回開発した技術は、半導体パッケージの開発で実用化しており、配線CADデータを元にした反りのシミュレーションにより、試作前に、反り低減策の検討を行うなど、開発効率の向上に大きく寄与している。

2. 評価用基板とその構成材料の物性値

2・1 評価基板の構成 本研究のために、半導体パッケージに用いられている2層貫通基板と4層ビルドアップ基板の、2種類の基板を設計した。図1(a)にそれらの基板の断面構造を示す。基板厚さの違いがFlip Chipパッケージの反り挙動へ及ぼす影響を除くため、両基板ともに厚さを0.4 mm に設計した。そのため、配線層が多い4層ビルドアップ基板では、ビルドアップ層に用いられる絶縁材料(以下、ビルドアップ材と呼ぶ)に厚さ0.06 mm の材料を、コア層に用いられる絶縁材料(以下、コア材と呼ぶ)に厚さ0.15 mm の材料を用いることで、2層貫通基板と厚さを同じにした。今回使用したコア材と、ビルドアップ材は、温度変化による膨張や収縮量を抑制するために、ガラス繊維が織り込まれている。コア材、ビルドアップ材は、それぞれ0.3 mm, 0.15 mm, 0.06 mm と厚さが異なるため、使用されているガラス繊維は、量や太さが異なる材料が用いられている。その他の基板構成材料である、レジスト材、銅箔は、両基板ともに同じ材料を用いた。

図1(b)に基板の配線図を示す。基板のチップ実装面(Wiring layer ①)と、はんだ実装面(Wiring layer ④)は、加熱時の銅配線の熱膨張・収縮量を同一にするため、2層貫通基板と4層ビルドアップ基板で同じ配線パターンにした。チップ実装面は、4辺と平行にワイヤボンダパッドを配置し、製品基板を模擬してい

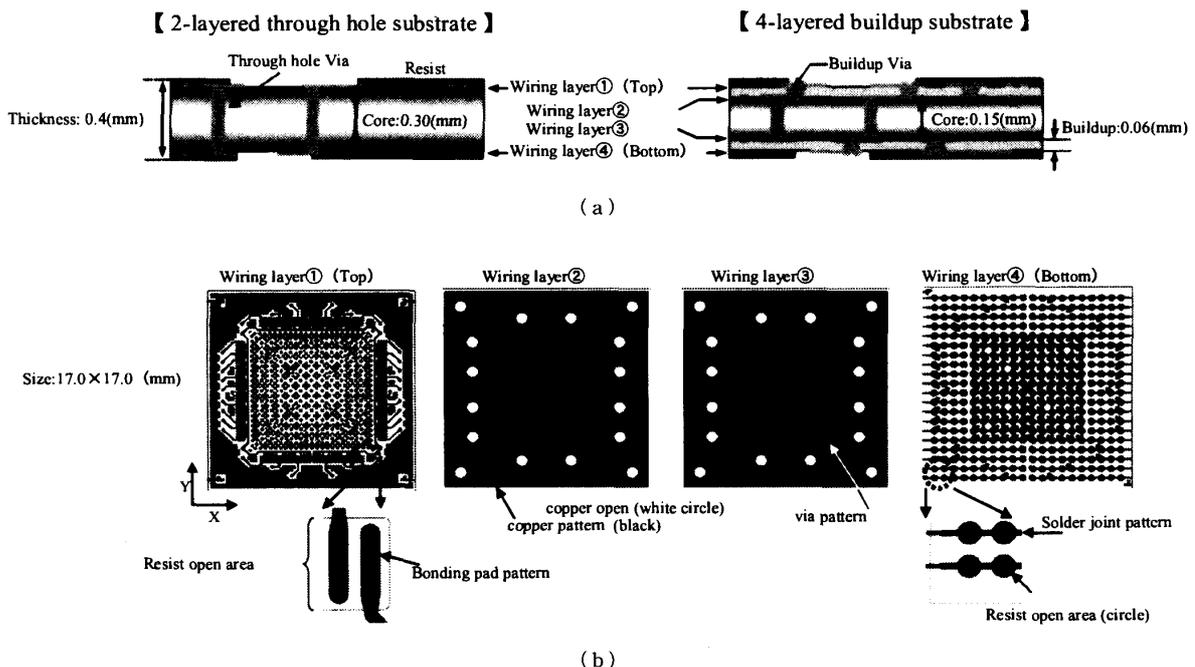


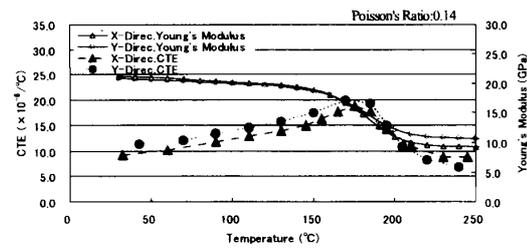
Fig. 1 Structure of the PCB used in the present study

る。ワイヤボンダット部は、レジスト材の塗布が無く、配線パターンを露出した設計にしている。4層ビルドアップ基板については、2層、3層部は、基板中心部に集中する貫通ビア配線以外は、全面積を銅箔で覆うベタ配線(黒色)を行い、円形部分(白色)は配線がない。実際の製品基板の内層では、電源・グランド用に、ほとんどがベタ配線で設計されているため、2、3層での面積あたりの配線率は、98%ほどある。今回の評価基板においても、円形の銅配線の無いエリアを設計し、実際の製品基板の配線率と同じにした。銅配線の設計は、両基板共に幅0.1 mm、厚さ0.02 mmで行った。

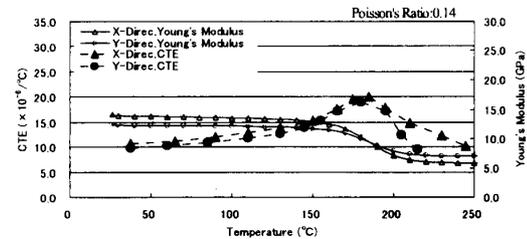
2.2 構成材料の物性値 基板構成材料の物性値は、実際の材料について測定した。今回の試験に用いたコア材、ビルドアップ材は、基板製造メーカより提供を受け、銅箔をエッチング処理にて除去している。コア材とビルドアップ材は、ガラス繊維の影響で、面内方向(X, Y方向)と面外方向(Z方向)で線膨張係数(以下、CTEと呼ぶ)が異なる。また、製造プロセスの影響で、X, Y方向についても異方性が生じるので、図1(b)に示すように評価基板に対して方向を定義し、室温~250°Cの範囲で、X, Y方向のCTEと貯蔵弾性率の温度依存のデータを測定した。

貯蔵弾性率の測定には、動的熱機械測定装置DMA(Dynamic Mechanical Analyzer)を用い、CTEの測定には、熱機械測定装置TMA(Thermo-Mechanical Analyzer)を用い、いずれも引張荷重下で測定を行った。TMAによる測定は、昇降温速度10.0°C/min、引張荷重0.049 Nで行い、DMAによる測定条件は、昇温速度2.0°C/minの引張荷重0.049 N、加振周波数10 Hzで行った。測定は製造工程で発生している残留応力を解放させるため、室温~250°Cの温度サイクルでの測定を2回行い、2回目の値を用いた⁽³⁾。

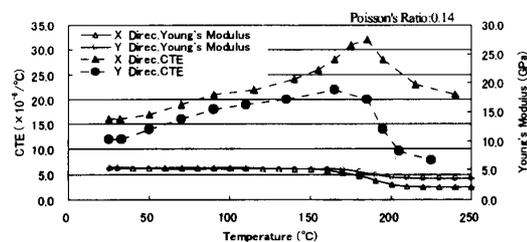
図2(a)に0.3 mm厚のコア材のCTEと貯蔵弾性率、図2(b)に0.15 mm厚のコア材のCTEと貯蔵弾性率の測定結果を示す。厚さが異なるコア材のCTEと貯蔵弾性率については、X, Y方向の異方性は小さいことがわかる。図2(c)に0.06 mmのビルドアップ材のCTEと貯蔵弾性率を示す。CTEには大きな異方性が認められるが貯蔵弾性率については、異方性は小さいことがわかる。図2(a)~図2(c)に共通の傾向として認められるのは、ガラス繊維の影響で、170°C近傍の樹脂の T_g (ガラス転移点)より高温側で、樹脂の軟化によりCTEが低下していることである。また、0.3 mm厚のコア材、0.15 mmのコア材、0.06 mmのビルドアップ材の順に貯蔵弾性率が高くなっている。これは、コア材に用いられているガラス繊維



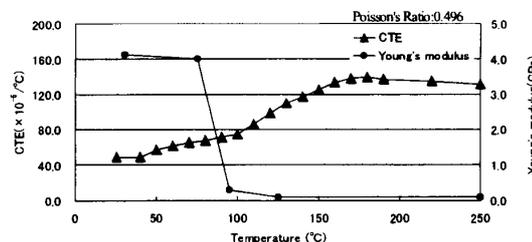
(a) 0.3 mm thickness core material



(b) 0.15 mm thickness core material



(c) 0.06 mm thickness buildup material



(d) Resist material

Fig. 2 Material properties of components in the PCB

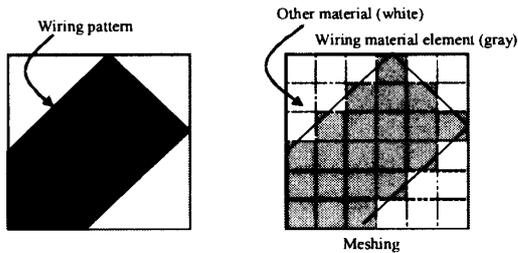
ス繊維材の、太さや量が、コア材の厚さごとに異なるためと考えられる。図2(d)にはレジスト材の物性値を示すが、これは材料メーカから提供を受けたデータである。

2.3 評価基板の見かけのCTEの解析方法

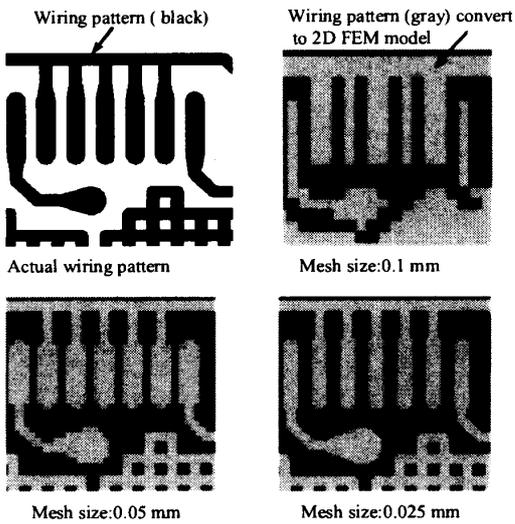
2.3.1 基板の銅配線のモデル化 数値解析には、MSC Software社の汎用解析ソフトウェアMARC 2005を使用した。銅配線をメッシュ分割するアルゴリズムを、図3(a)に示す。まず、基板を有限個の格子エリアに分割する。そのときに各格子エリアにおける物性の体積率で、要素の物性を決定する。図3(b)に、実際の0.1 mmの銅配線をモデル化するた

めのメッシュ分割の例を示す。メッシュサイズを0.1 mm, 0.05 mm, 0.025 mm と小さくしていくにつれて、実際の配線パターンに近づいていくことがわかる。このようにして、全ての層をメッシュ分割し、4 節点厚肉四辺形シェル要素に自動的に変換するモデリングプログラムを作成して使用した。

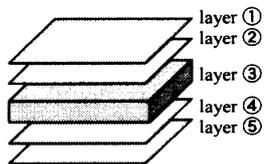
解析では、4 節点厚肉四辺形シェル要素に、各層の厚さと物性値を設定した。2 層貫通基板の場合につい



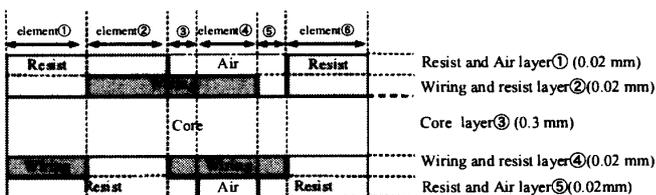
(a) Meshing algorithm



(b) FEM model at each mesh size



A 2-layered substrate with wiring pattern is subdivided into 5 layers



(c) Cross-section of 2-layered substrate

Fig. 3 2D FEM model

て、その設定方法を図 3(c)に示す。今回の解析では、まずは貫通ビアを考慮しない解析を試みたため、Layer ③層のコア材のメッシュ分割数は、上下層の銅配線とレジストパターンの分割から決まる。メッシュ分割後は、各多層シェル要素の各層に、図 3(c)に示すように基板構成材料の物性値と各層の厚さを設定した。なお、今回用いたシェル要素では、全ての要素に物性値を設定する必要があるため、図 3(c)の空気層の部分の要素には、曲げ剛性に寄与しない低剛性の物性値を設定した。図 3(c)の element ①の層構成は、チップ実装面から順に、レジスト-レジスト-コア材-配線-レジストであるが、ワイヤボンダッド部と半田実装面がある element ④では、空気-配線-コア材-配線-空気となる。図 3(c)は、2 層貫通基板の例なので、コア材層の上下に 2 層の配線層と表層のレジスト層がある 5 層構造であるが、4 層ビルドアップ基板は、更に 2 層の配線層とビルドアップ層が追加される構造のため、合計 4 層が加わり 9 層構造となる。更に、このモデリングプログラムには、全 Layer の構成材料が、隣り合う要素で連続して同じ場合、メッシュサイズを自動的に大きくするロジックが組み込まれており、メッシュ分割数を削減する機能も有する。

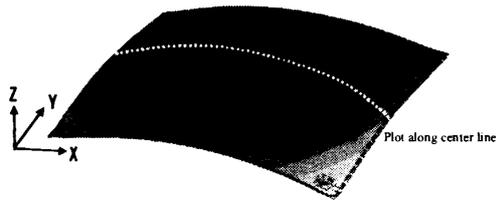
このモデリングプログラムを用いた配線のモデル化は、メッシュサイズを 0.025 mm 程度まで細かく設定することが望ましいが、計算時間も考慮する必要があるため、適切なメッシュサイズを決定する必要がある。

2・3・2 適切なメッシュサイズの決定 図 3(b)に示すように、メッシュサイズの異なる 3 種類のモデルを用いて、メッシュサイズが熱変形に与える感度を検証した。コア材に銅箔やビルドアップ材を積層プレスする工程温度 (175°C) から常温の 25°C まで低下させた場合の基板の反り量を算出し、メッシュサイズ依存性を検証した。解析に用いた物性値は、図 2(a)~(d)の値を使用し、貯蔵弾性率については、各材料共に異方性が小さいため、X, Y 方向の平均値を用いて等方性と仮定した。また、銅箔の物性値を表 1 に示す。

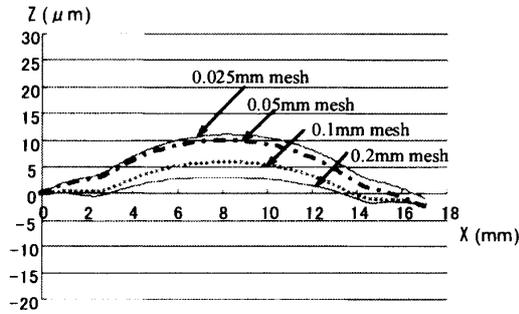
図 4(a)に計算で求めた基板のチップ実装面を上にした 25°C における熱変形挙動を示す。図 4(b)には、図 4(a)に示す基板の中心を通る X 方向に沿う Z 方向の基板の反り量の結果を示す。最小メッシュサイズ

Table 1 Material properties of Cu wiring

	CTE ($\times 10^{-6}/^{\circ}\text{C}$)	Young's modulus (GPa)	Poisson's Ratio
Cu wiring	16.5	110	0.374



(a) Warpage contour of 2D simulation



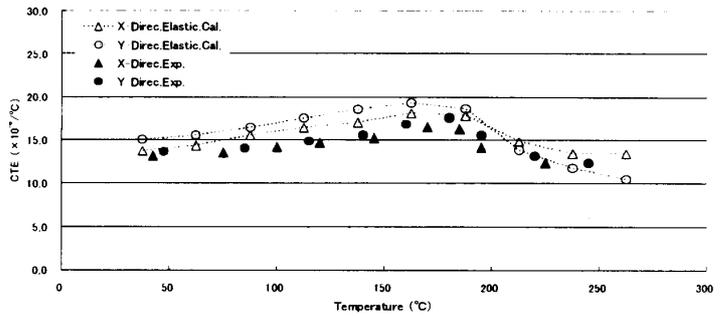
(b) Plot along center line at substrate

Fig. 4 Effect of mesh size on the warpage of substrate at 25°C

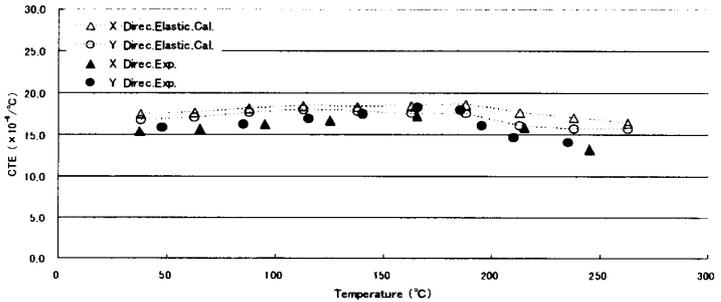
が0.1 mm から, 0.05 mm, 0.025 mm と小さくなるにしたがって, 反り量が大きくなることわかる。メッシュサイズの効果を検証するため, メッシュサイズ0.2 mm の結果もプロットしている。メッシュサイズが0.1 mm と0.2 mm の場合は, 幅0.1 mm の配線の形状を精度よくモデル化できず, 反り量が小さく感度が低いことがわかる。これに対して, 最小メッシュサイズが0.025 mm と0.05 mm で反り量の差が非常に小さい。0.05 mm モデルでは, 節点数 88 594, 要素数 79 807 で, 0.025 mm モデルでは節点数 210 410, 要素数 169 456 のため, 計算コストを考慮し, メッシュサイズ0.05 mm で十分と判断した。この最小メッシュサイズ0.05 mm の解析モデルを用いて, 基板の熱変形挙動の評価を行った。

2・4 評価基板の見かけの CTE の解析結果および考察

2・4・1 弾性解析 まず, 弾性解析による評価基板の見かけの CTE(熱変形挙動)の解析方法について述べる。前述のように, コア材に銅箔やビルドアップ材を積層プレスする工程温度は 175°C であるため, この温度を応力フリーとし, 25°C まで降温させ, その後 CTE 測定温度域の 250°C まで昇温させた。温度変化における X 方向, Y 方向への基板の温度増分に対する熱変形量から見かけの CTE を算出し, その結果と, 評価基板での実測による CTE とを比較し, シミュレーションの精度を確認した。計算に用いた物性値は,



(a) 2-layered substrate



(b) 4-layered substrate

Fig. 5 Comparison of the overall CTEs obtained from experiment and the elastic analyses

前述の値を用いた。

図5(a)に, TMA を用いて実測した2層貫通基板の CTE の結果と計算で求めた結果を示す。図5(b)には, 4層ビルドアップ基板の結果を示す。図2(a)~(c)に示したように, コア材・ビルドアップ材の CTE では, それぞれ X, Y 方向に異方性が認められたにもかかわらず, 基板での測定結果では両基板とも, ほぼ等方性を示した。図5(a), 図5(b)のデータから, 配線層が増えるに従って基板の CTE が銅箔の CTE の 16.5(×10⁻⁶/°C)に近づいていることもわかる。

今回のシミュレーション結果から, 2層貫通基板に関しては, 若干の異方性が残っているが, 4層ビルドアップ基板に関しては, ビルドアップ材に大きな異方性があつたにもかかわらず, ほとんどが等方性の挙動になっており, このことは実験の傾向と良く一致している。しかし, シミュレーション結果は, 両基板とも実測データより高い CTE を与えており, その改善のために, さらに粘弾性解析を行って評価することにした。

2・4・2 粘弾性解析 本研究では, 下式に示す一般化 Maxwell モデル^{(6)~(9)}を用いた粘弾性解析を行った。

$$G'(t) = G_{\infty} + \sum G_i \exp(-t/\tau_i) \dots \dots \dots (1)$$

ここで、 G' は緩和弾性率、 η は粘性係数、 $\tau(=\eta/G)$ は緩和時間、 G_∞ は $t=\infty$ 時の緩和弾性率である。本研究では、式(1)をプロニー級数表示した次式を用いて緩和弾性率を表現した。

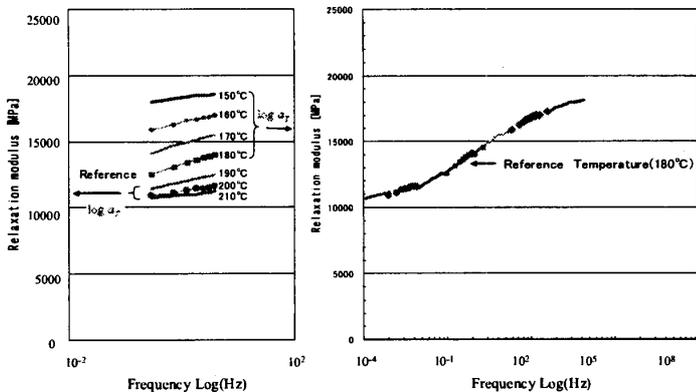
$$G'(\omega) = G_\infty + \sum_{i=1}^n G_i \frac{(\omega\tau_i)^2}{1+(\omega\tau_i)^2} \dots\dots\dots (2)$$

粘弾性解析を行うためには、周波数分散の緩和弾性率を測定する必要がある。実際に試験環境を一定にして、非常に低い周波数や非常に高い周波数での動的粘弾性試験を行うのは困難である。そこで本研究では、一定範囲の周波数での温度分散の貯蔵弾性率を測定し、時間-温度換算則が成り立つものとして、データを平行移動することでマスターカーブを得た。また、この際のシフト量を次式の W. L. F. (Williams-Landel-Feery) 式を用いてフィッティングした。

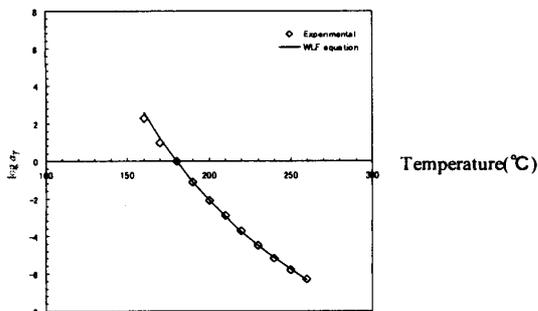
$$\log a_T = -\frac{C_1(T - T_r)}{C_2 + (T - T_r)} \dots\dots\dots (3)$$

$$T_r = T_g \dots\dots\dots (4)$$

ここで、 $\log a_T$ は移動因子、 T_r は基準温度、 T_g はガラス転移点、 C_1, C_2 は定数である。一般的な高分子材料では、 C_1, C_2 は普遍定数であるが、複合材料の場合は、普遍定数を用いた W. L. F. 式によるシフトファクターに一致しない。



(a) Conversion method from temperature to time (b) Master curve



(c) Time-temperature shift factor

Fig. 6 Master curve of 0.3 mm thickness core material

図6に、0.3 mm厚のコア材を例に粘弾性特性を示す。W. L. F. 式による近似結果を図6(c)に示す。同じ方法により、他の基板構成材料についても、粘弾性特性を測定した。図7に他の基板構成材料の横軸を時間で表示したマスターカーブを示す。表2には、各材料の測定結果より得られた W. L. F. 式の係数と基準温度を示す。粘弾性解析の計算に必要な G_i と τ_i は、マスターカーブから MARC2005 のフィッティング機能を用いて算出した。

次に計算条件を検討する。厳密には、基板の製造工程を時系列で解析し、更に、CTE測定条件である 10.0°C/min で昇降温させる過程を計算する必要がある。しかし、基板の製造工程は、積層プレスに加え、メッキやエッチング処理を繰り返すため、全ての工程条件を時系列に解析することは非常に難しい。昇降温の繰り返しが、粘弾性結果へどのように影響するのか、今後も研究する必要があるが、本研究では、一度のみ積層プレス過程で粘弾性の効果があったと仮定して解析を試みた。図7のマスターカーブより、全ての材料は、500 sec 後には、緩和弾性率が、ほぼ緩和状態に達していることがわかるため、製造工程の積層プレス温度の 175°C を応力フリーとし、500 sec で、常温 (25°C) まで降下させた。次に 10.0°C/min で 250°C まで昇温 (昇温時間 1 350 sec) させ、見かけの CTE を算出した。また、昇温時間と緩和弾性率の緩和状態の関係を評価するため、昇温時間を、500 sec, 700 sec, 1 350

Table 2 Coefficients of shift factor

	C1	C2	Tr (°C)
0.3 mm thickness core	19.9	172.1	180
0.15mm thickness core	17.2	147.2	180
Buildup	7.2	49.1	180
Resist	18.3	140.7	105

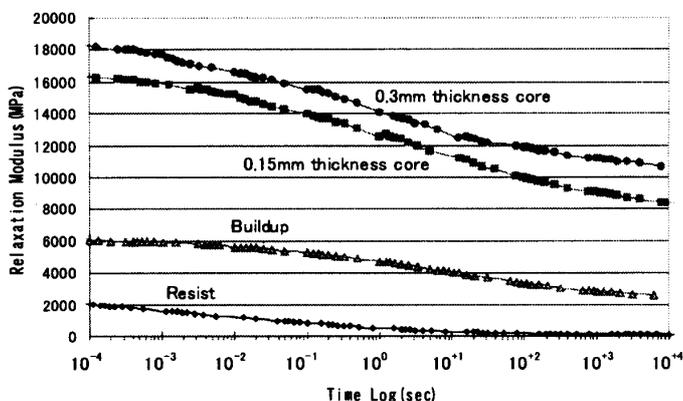
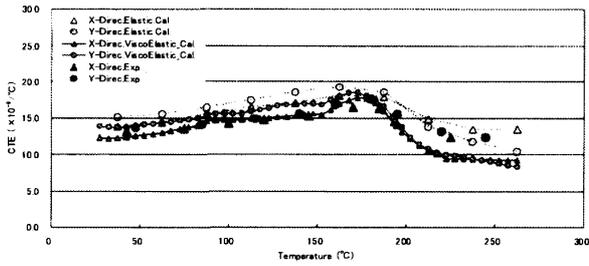
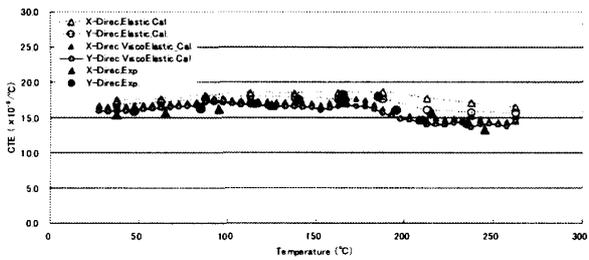


Fig. 7 Viscoelastic properties of materials used in the present study



(a) 2-layered substrate



(b) 4-layered substrate

Fig. 8 Comparison of the overall CTEs obtained from experiments, the elastic analyses and the viscoelastic analyses

sec の 3 ケースで計算を試みた。しかし、3 ケースともに、ほぼ同じ結果となり、今回の基板構成材料の緩和弾性率を用いた計算では、500 sec 以上は不要なことがわかった。

次に、粘弾性解析により 10°C 刻みで算出した見かけの CTE を、図 5 に示した弾性解析の結果とともに図 8 に示す。粘弾性を考慮すると 2 層貫通基板・4 層ビルドアップ基板ともに、より実測データに近くなっていることがわかる。4 層ビルドアップ基板においては、ガラス転移点以上での CTE の低下も弾性解析より再現できており、実測データと精度良く合っている。2 層貫通基板については、全体的に粘弾性解析結果の方が弾性解析結果よりも実測値に近かった。

しかし、ガラス転移点より高温側では、粘弾性解析で得られた見かけの CTE は、実測値よりも小さくなっている。この原因については今のところ不明であり、今後さらに研究を進めていく必要がある。

3. パッケージの反り解析

前章で算出したプリント配線板の見かけの CTE を用いて、パッケージの反り解析を行い、実測結果と比較した。

3・1 評価サンプルの構成 図 9 に、パッケージの反り評価に用いた、模擬 Flip Chip パッケージの概要を示す。2 層貫通基板と 4 層ビルドアップ基板に、1 辺が 6.0 mm の正方形のシリコンチップをエポキシ

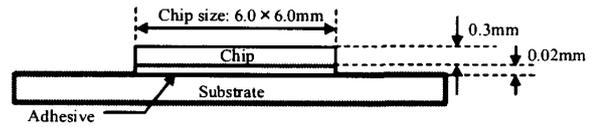


Fig. 9 Test flip chip used for warpage measurement

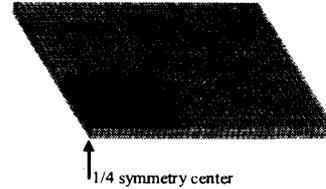
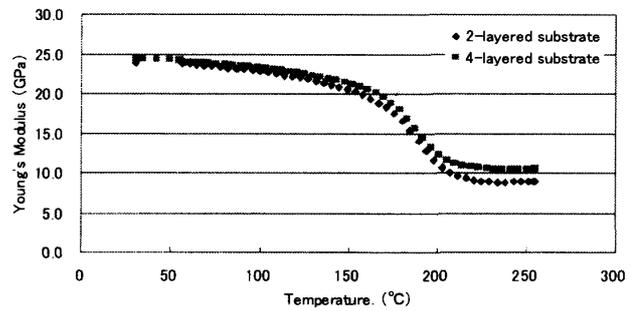
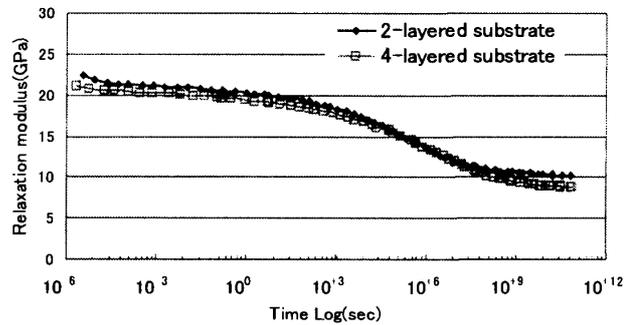


Fig. 10 3D FEM model



(a) Young's modulus



(b) Relaxation modulus

Fig. 11 Material properties of substrate

樹脂で接着し、150°C の恒温槽でエポキシ樹脂を完全に硬化させ基板に実装した。サンプルは、それぞれ 3 個作成した。

3・2 シミュレーションモデルおよび材料物性値

図 10 に解析に用いた有限要素モデルを示すとおり、1/4 対称モデルで解析を行った。図 11 に評価基板の貯蔵弾性率と緩和弾性率を示す。DMA 装置で測定するため、2 層貫通基板と 4 層ビルドアップ基板を、測定サイズに切り出して測定を行った。表 3 にシリコンチップ、図 12 にエポキシ樹脂の温度依存の物性値を示す。シミュレーションモデルの基板は、単一物性で

Table 3 Material properties of Si chip

	CTE ($\times 10^{-6}/^{\circ}\text{C}$)	Young's modulus (GPa)	Poisson's Ratio
Si chip	3.5	197	0.36

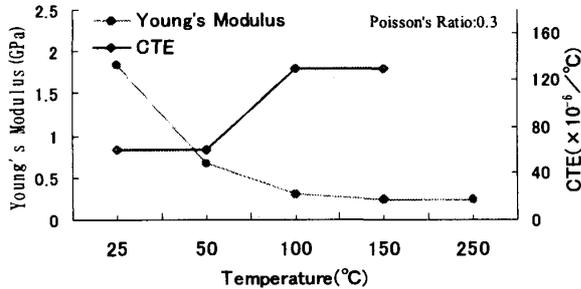
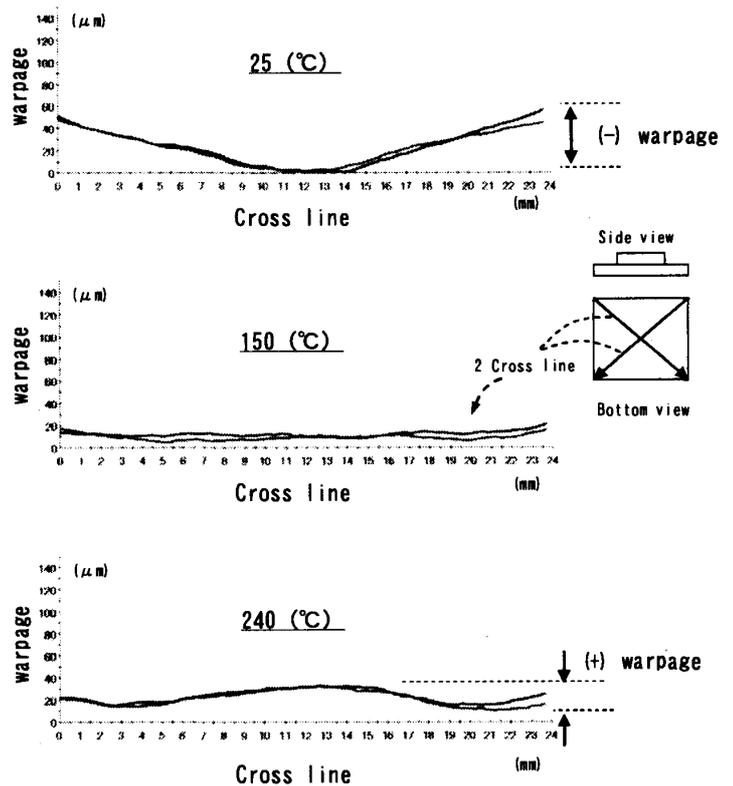


Fig. 12 Material properties of epoxy for adhesive

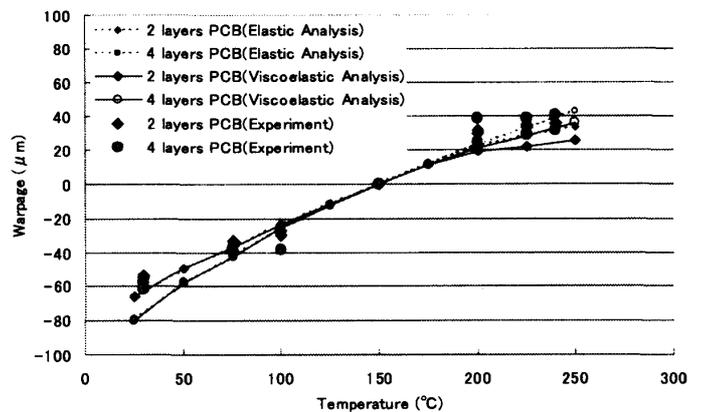
設定されており、CTEについては、前章で算出された X, Y 方向の CTE を用いている。

3.3 解析結果および考察 パッケージの反りの測定には、モアレ干渉縞反り測定装置を用いた。常温～250°Cまで 400 sec で昇温する測定を 2 回繰り返し、サンプル作成時の残留応力が解放された 2 回目の反り結果を評価に用いた。図 13(a) に、2 層貫通基板を用いたパッケージの反り結果を示す。はんだ実装部の基板面で、コーナーを対角線に結ぶ 2 方向で反りを測定し、平均値を読み取って求めた。4 層ビルドアップ基板の反り量も同じ方法で求めた。次に基板単体の反りの影響を、パッケージの反り評価に考慮する必要があるため、同一ロットの基板を用いて各温度での反りを測定した。2 層貫通基板、4 層ビルドアップ基板共に 3 個の基板を測定したが、サンプル間で値にバラツキはあるものの、150°C で約 10~15 μm ほどの反り量であった。しかし、図 13(a) の 150°C のパッケージの反りは、非常に小さく、反り量・向きの判別がつかないほどのため、基板単体での反りの影響は検出できないと判断し、150°C の反り量を 0 mm とした。反りの向きは、25°C の反りの向きを負、逆を正と定義した。

シリコンチップを実装した 150°C を応力フリーとし、粘弾性解析では、パッケージの反り測定の昇温時間に合わせるために 300 sec で 25°C まで降温し、その後、400 sec で 250°C まで昇温する測定と同条件で計算を行った。パッケージ反り量の温度変化を図 13(b) に示す。この図では実測結果、弾性解析結果および粘弾性解析結果が示されている。4 層ビルドアップ基板の方が、2 層貫通基板より見かけの CTE が大きいため、常温付近での反りが大きくなっていることがわかる。シミュレーション結果も、ほぼ同等の傾向が出ており、



(a) Experimental measurements



(b) Temperature change of package warpage obtained from experiments, elastic analyse and viscoelastic analysis

Fig. 13 Comparison of package warpage between experimental measurements and calculated results

2 章で算出した基板の CTE を用いて、パッケージの反りを予測することができることがわかった。粘弾性解析の結果については、高温域で見かけの CTE と実測値の差が大きかったため、パッケージの反りでも同様の結果が出ており、今後、原因の究明が必要である。

4. 格 言

本研究では、基板構成材料と配線 CAD データから、

基板の見かけのCTEを求める手法を提案した。さらに、算出された基板の見かけのCTEを用いてFlip Chipパッケージの反りをシミュレーションし、以下の知見を得ることができた。

(1) 構成材料特性と配線を詳細にモデル化することで、基板の見かけのCTEを精度良く求めることができた。

(2) 基板の見かけのCTEを精度良く求めるためには、材料の粘弾性特性を考慮した解析が必要である。

(3) 算出した見かけのCTEを用いて、シリコンと基板とからなるFlip Chipパッケージの反りを、精度よく求めることができた。

今回開発した技術は、製品開発の初期段階である基板設計の配線CADデータを元に、パッケージの反りまでをシミュレーションできるため、試作後の反り問題の発生を事前に予測できる。そのため、試作回数の削減に繋がる非常に有効な手法であり、現状の製品開発における運用でも、大きな成果をあげている。今後は、6層ビルドアップ基板に用いられる基板構成材料の物性値なども測定し、適応範囲を広げていく。

最後に、本研究に用いたCADデータからの変換ソフトの開発と、技術サポートをいただいた、ソニー(株)もの作り技術センターに謝意を表します。

文 献

- (1) Grenestedt, J. L. and Hutapea, P., Influence of electric artwork on thermomechanical properties and warpage of printed circuit boards, *Journal of Applied Physics*, Vol. 94, No. 1 (2003), pp. 686-696.
- (2) Hutapea, P. and Grenestedt, J. L., Reducing Warpage of Printed Circuit Boards by Using Wavy Traces, *Journal of Electronic Packaging*, Vol. 126 (2004), pp. 282-287.
- (3) Nagatake, M., Itoh, N., Sakai, H., Meguro, M., Mizutani, D. and Kurashina, M., Structural Analysis in Bending Distance of PWB, *Mate 2005, 11th Symposium on Micro Joining and Assembly Technology in Electronics*, (2005-February), pp. 333-338.
- (4) Itoh, N., Kubota, T., Sakairi, M., Nagatake, M., Mizutani, D. and Kurashina, M., Study on PWB Warpage Analysis, *Mate2006, 12th Symposium on Micro Joining and Assembly Technology in Electronics*, (2006-February), pp. 461-466.
- (5) Hutapea, P., Grenestedt, J. L., Modi, M., Mello, M. and Frutschy, K., Prediction of microelectronic substrate warpage using homogenized finite element models, *Microelectric Engineering*, Vol. 83 (2006), pp. 557-569.
- (6) Yokohori, T. and Narisawa, I., *Material Strength of Polymer* (in Japanese), (1982), Ohmsha, Ltd.
- (7) Miyake, K., Thermo-Viscoelastic Analysis for Warpage of Ball Grid Array Packages Taking into Consideration of Chemical Shrinkage of Molding Compound, *Journal of Japan Institute of Electronics Packaging*, Vol. 7, No. 1 (2004), pp. 54-61.
- (8) Hirata, I. and Hashiguchi, Y., Study of LSI-Package Warp Deformation Using FEM Visco-elastic Simulation, *Mate2005, 11th Symposium on Micro Joining and Assembly Technology in Electronics*, (2005-February), pp. 329-332.
- (9) Nakamura, S., Kushizaki, Y., Goto, M., Ohashi, K. and Kido, M., Optimum Layer Construction with Thermo-Viscoelastic Analysis Influences Thermal Residual Stress and Warp Deformation in Electronic Devices, *Journal of Japan Institute of Electronics Packaging*, Vol. 6, No. 1 (2003), pp. 80-87.

- (1) Grenestedt, J. L. and Hutapea, P., Influence of electric artwork on thermomechanical properties and warpage