# ドリフト拡散デバイスシミュレーションを用いた1軸負荷に起因 するnMOSFETの電気特性変動評価手法

小金丸 正明\*, 吉田 圭佑\*\*, 多田 直弘\*\*, 池田 徹\*\*, 宮崎 則幸\*\*, 友景 肇\*\*\*

An Evaluation Method for Electrical Characteristics Variations on nMOSFETs

# under Uniaxial Stress Using Drift-Diffusion Device Simulation

Masaaki KOGANEMARU\*, Keisuke YOSHIDA\*\*, Naohiro TADA\*\*, Toru IKEDA\*\*, Noriyuki MIYAZAKI\*\*, and Hajime TOMOKAGE\*\*\*

\*\*\* 福岡大学工学部電子情報工学科 (〒814-0180 福岡県福岡市城南区七隈8-19-1)

\* Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyushu-shi, Fukuoka 807-0831)

\*\*Department of Mechanical Engineering and Science, Graduate School of Engineering, Kyoto University (Yoshida-Honmachi, Sakyo-ku, Kyoto-shi, Kyoto 606-8501)

\*\*\*Department of Electronics Engineering and Computer Science, Fukuoka University (8-19-1 Nanakuma, Jonan-ku, Fukuoka-shi, Fukuoka 814-0180)

#### Abstract

This paper presents a practical method of drift-diffusion device simulation in order to evaluate the effects of mechanical stress on n-type silicon semiconductor devices. The device simulation incorporates an electron mobility model for considering the effects of mechanical stress. In our previous study, the changes in relative populations and momentum relaxation times (intervalley scattering) of electrons in conduction-band valleys were modeled in the electron mobility model. In this study, we added modeling of the change in the effective mass of electrons as a means of considering the effects of uniaxial stress. Stress-induced variations of electron mobility model. Then, the electron mobility model and the simulation method are verified by comparing them with experimental results. It is demonstrated that experimental results can be reasonably estimated using this simulation method. In other words, the device simulation including the proposed electron mobility model can determine the uniaxial-load-direction dependence of the stress sensitivity of the change in electrical characteristics. To improve the accuracy of our simulation method, necessary improvements in the electron mobility model are identified.

Key Words: Device Simulation, Electron Mobility, Effective Mass, Uniaxial Stress, nMOSFET

# 1. 緒 言

実装工程で半導体チップ上に生じる残留応力は、チップ 上に形成された半導体デバイスの電気的な応答を変動させ る<sup>1)~3)</sup>。この半導体デバイスの予期せぬ電気特性の変動 は、デバイスの種類や用途によってはパッケージ製品に なった段階で対応困難な不良を引き起こす。したがって, 実装残留応力(機械的応力)とそれに起因する半導体デバ イスの電気特性変動の関係を適切に見積もることが、デバ イスおよびパッケージの設計・製造上必要とされる。これ まで筆者らは、この機械的応力に起因した半導体デバイス の電気特性変動を評価するための汎用的な数値シミュレー ション手法に関する研究を行ってきた<sup>3),4)</sup>。N型半導体と P型半導体では、機械的応力に対する応答が定性的にも定 量的にも異なることはよく知られている。これは、波数空 間上で表される伝導帯と価電子帯のエネルギ描像、および 応力(ひずみ)によるそれらの変化が異なることに起因す る。筆者らは、まず応力効果を反映する電子移動度モデル

の構築を目指し、それによってN型半導体の評価を実施 してきた。すなわち、n-type Metal Oxide Semiconductor Field Effect Transistor (nMOSFET) の実装応力に起因する DC特性変動を対象とし、機械的応力効果を反映する電子 移動度モデルを用いてドリフト拡散デバイスシミュレー ションによる評価を行った<sup>3)</sup>。具体的には, Quad Flat Package (QFP) の樹脂封止工程で生じる nMOSFET のDC 特性変動を評価した。その際, Egley と Chidambarrao のモ デル<sup>5)</sup>を用いて伝導帯バレー間の相対的な電子存在確率変 化を, Dharらのモデル<sup>の</sup>を基にして等価でないバレー間 の電子散乱確率の変化を考慮した。その結果, Si チップ面 内の等2軸応力状態と見なせるQFP樹脂封止工程で生じた nMOSFETのドレイン電流変化を再現することができた。 また前報<sup>4)</sup>では、半導体デバイス内部の実装残留応力に対 する有限要素法応力解析と応力効果のデバイスシミュレー ションを連携させ、電気特性変動におけるnMOSFET内部 の応力分布の影響を評価した。

近年,実装形態も三次元高密度集積化が進められてお

<sup>\*</sup>福岡県工業技術センター機械電子研究所(〒807-0831 福岡県北九州市八幡西区則松3-6-1)

<sup>\*\*</sup>京都大学大学院工学研究科(〒606-8501 京都府京都市左京区吉田本町)

り、このようなパッケージでは半導体チップ上の応力状態 が必ずしも上述したような単純な状態(チップ面内の等2 軸応力状態)にはならないことが容易に予想される。 Lightly Doped Silicon (バルクSi) において実験的に示され ているピエゾ効果の関係<sup>7)</sup>がMOSデバイスでも成り立つ とすれば、直交する3方向の1軸応力感度を用いて多軸応 力状態下でのMOSデバイスの電気特性変動を予測できる ことになる。実際に、4点曲げ試験により実験的に求めら れたMOSデバイスの1軸応力感度を用いて、樹脂封止残 留応力による MOS デバイスの電気特性変動を評価した例 が報告<sup>2),8)</sup> されている。MOS デバイスの電気特性におけ る1軸応力感度の大きさには、電流方向に対する1軸負荷 (応力)方向依存性があることが知られている。例えば<sup>9)</sup>, nMOSFETの場合,電流方向と1軸負荷方向が平行な場合 の応力感度が垂直な場合の応力感度に比べて大きくなる。 したがって、より複雑な構造を有するパッケージ中のデバ イスに対しても精度の高いシミュレーションを実施するた めには、シミュレーションモデルが1軸応力状態下での電 気特性変動を妥当に評価できる必要がある。

本研究では、n型MOSデバイスの1軸負荷(応力)下で の電気特性変動をシミュレーションするための電子移動度 モデルを検討する。上述のこれまで用いたモデルでは、Si 結晶にせん断ひずみが生じるような 1軸負荷下での電気特 性変動量における電流方向に対する1軸負荷方向依存性を 定性的に再現できない<sup>9)</sup>。内田らは,経験的擬ポテンシャ ル法による計算からこの異方性が電子有効質量の異方的変 化に起因すると報告している<sup>10)</sup>。そこで本研究では, Ungersboeckらが示した Si 結晶のせん断ひずみと電子の有 効質量変化の関係<sup>11)</sup>を上述のモデルに加えて考慮し、デ バイスシミュレーションで用いる電子移動度モデルを新た に定式化する。これによって、Si結晶にせん断ひずみが生 じるような1軸負荷下でのn型MOSデバイスの電気特性 変動をシミュレーション可能にすることを目的とする。本 論文では,新たな電子移動度モデルを用いて nMOSFET の 1軸負荷下での電気特性変動をシミュレーションし、シ ミュレーション結果を4点曲げ負荷(1軸負荷)による実 験結果およびピエゾ効果の関係から見積もられる結果と比 較・検証する。それによって、シミュレーションモデルの 妥当性および精度向上に必要な改良点を明らかにする。

### 2. 実験結果

筆者らのグループでは、4点曲げ試験システムを用いて 1軸負荷下でのMOSFETの電気特性を計測してきた。本論 文中では、デバイスシミュレーション結果と比較するため に必要な計測条件および結果のみを示す。試験システムお よび試験方法については、筆者らの既報論文<sup>9</sup>に詳しい。

本研究では、ゲート長さ12µm、ゲート幅24µm、Si (001) 結晶面に形成されたSi<110〉方向に電流方向を有す



Fig. 1 Schematic cross-section of evaluated nMOSFET



Fig. 2 Specimen preparation for four-point bending measurements

るnMOSFETを評価対象とした。ゲート長さが短いデバイ スでは応力感度におけるゲート長さ依存性の存在が指摘 されており、その原因としてソース・ドレイン部分の寄 生抵抗の影響が挙げられる<sup>9)</sup>。本研究では,応力効果を反 映する電子移動度モデル、シミュレーション手法検証の 第1段階として、この寄生抵抗の影響(応力感度のゲート 長さ依存性)を考慮する必要がないゲート長さが大きな試 験デバイスを評価対象とした。評価対象とした nMOSFET の断面模式図をFig.1に示す。また、Fig.2には4点曲げ 負荷試験片を示す。Fig. 2中の破線に囲まれた領域は,4 点曲げ試験片上でnMOSFETが形成されている領域を模 式的に表している。Fig. 2に示すとおり,短冊状試験片の 長手方向(1軸負荷方向)がnMOSFETの電流方向と平行 (Longitudinal) または垂直 (Transverse) になるように2種 類の試験片を作製した。この試験片を用いて nMOSFET の 電流方向に対して平行または垂直に4点曲げ1軸負荷を行 い、負荷を行った状態でnMOSFETの電極パッドに直接 プロービングしてドレイン電流を計測した。nMOSFETへ 負荷した応力値は、0MPa (無負荷),引張りで60MPaお よび120MPa, 圧縮で60MPaおよび120MPaの5通りであ る。電気特性変動と対応させるこれらの(公称)応力値 は、はりの曲げ理論から算出された試験片表面に生じる最 大曲げ応力である。ソース・ドレイン間電圧を0.1Vに固 定し、ゲート・バックゲート間電圧を0Vから5Vまで掃 引してドレイン電流値を計測した。この駆動条件は、筆者 らが用いた nMOSFET の製造メーカが設定した標準的な駆 動条件である。この条件を用いることによって、筆者らが 作製した(4点曲げ)電気特性計測システムを用いた無負 荷の計測結果と製造メーカより提供を受けた計測結果を比



Fig. 3 Experimental results of drain current variations under uniaxial stress (a) Longitudinal, (b) Transverse.

較・検証することができ,筆者らの試験システム,試験条 件および基準となる無負荷での計測結果の妥当性を担保し た。

ドレイン電流計測結果として, Fig. 3(a) に負荷方向と電 流方向が平行な場合 (Longitudinal), Fig. 3(b) に負荷方向 と電流方向が垂直な場合 (Transverse) の結果をそれぞれ示 す。いずれも,しきい値電圧の顕著な変動は見られず,引 張り負荷で電流値が増加し,圧縮負荷で電流値が減少し た。Fig. 4には,無負荷での値を基準(変化率ゼロ)とし て得られる相互コンダクタンス (Gm)の変化率(ΔGm/Gm, %)を負荷応力に対してプロットする。ここでのGm値は, Fig. 3に示したドレイン電流曲線におけるゲート電圧2.0V での接線の傾きと定義した。Fig. 4に示すとおり,1軸負 荷方向に依存して応力に対する電気特性変動量に差が生じ ている。すなわち,電流方向と1軸負荷方向が平行な場合 の変化率が,垂直な場合の変化率に比べて大きくなる。以 上の実験結果は,これまで報告されている実験結果と定性 的に一致している。



Fig. 4 Experimental results of transconductance changes (△Gm/Gm) under uniaxial stress

# 3. 応力依存電子移動度モデル

本研究で用いたデバイスシミュレーションコードでは, ドリフト拡散モデルの基本方程式を有限体積法により離散 化して自己無撞着に解く。したがって,機械的応力効果は キャリア移動度の変化のみへ反映されるとし,以下に示す 応力依存移動度モデルで算出される移動度をデバイスシ ミュレーション実行時に用いる。本研究ではnMOSFETを 評価対象とするため,nMOSFET電流に寄与する主要な キャリアである電子の移動度変化のみを考える。すなわ ち,本研究で用いる応力依存電子移動度モデルでは,応力 効果の物理現象として①伝導帯バレー間の相対的な電子存 在確率の変化,②等価でないバレー間の電子散乱確率(運 動量緩和時間)の変化,および③電子有効質量の変化を考 慮する。このうち①および②を考慮した電子移動度モデル は筆者らの既報論文<sup>3)</sup>に定式化の過程を示しており,本論 文中ではシミュレーションに必要な式のみ示す。

### 3.1 電子存在確率と散乱確率の変化モデル<sup>3)</sup>

Fig. 5に模式的に示すように、波数空間上で表されるSi の伝導帯エネルギーの極小値(伝導帯バレー)は無負荷の 状態で6重に縮退している。このとき、電子はそれぞれの 伝導帯バレーにおいて、Si結晶の主軸方向に有効質量 $m^*_p$ ,移動度 $\mu_t$ を有 している。外力によってSiの結晶(実空間)が歪むと伝導 帯のバンド構造(波数空間)にも歪みが生じ、縮退してい た伝導帯バレーがSi結晶の歪み(ひずみ)と相関して分岐 する。このSi結晶のひずみによるi軸上(iはSi結晶の主 軸, i=1, 2, 3)の伝導帯バレーのエネルギ変化 $\Delta E_c^{(i)}$ は、以 下式(1)で示す変形ポテンシャルモデル<sup>12)</sup>で近似される。

 $\Delta E_{c}^{(i)} = \Xi_{d}(\varepsilon_{11} + \varepsilon_{22} + \varepsilon_{33}) + \Xi_{u}\varepsilon_{ii}$ (1)

 $\Xi_{d}, \Xi_{u}$ は変形ポテンシャル定数 ( $\Xi_{d}$ =1.1 eV,  $\Xi_{u}$ =10.5 eV<sup>13)</sup>),  $\varepsilon_{ii}$ はSi結晶主軸方向のひずみである。本研究では,①電子



Fig. 5 Schematic diagram of many-valley model in *k*-space for conduction-band in silicon

存在確率の変化および②電子散乱確率の変化は、この伝導 帯バレーのエネルギ変化ΔE<sup>(i)</sup>に対応させて算出している。

まず, ①電子存在確率の変化を, Egley と Chidambarrao のモデル<sup>5)</sup>を簡略化して考慮した。すなわち, i軸上の伝 導帯バレーの電子存在確率 $v^{(i)}$ を, 次式 (2) で与えた。

$$v^{(i)} = \frac{\exp\left(-\frac{\Delta E_c^{(i)}}{k_B T}\right)}{\sum_{j=1}^{3} \exp\left(-\frac{\Delta E_c^{(j)}}{k_B T}\right)}$$
(2)

 $k_{\rm B}$ はボルツマン定数であり、Tは格子温度でT=300Kとした。この $v^{(i)}$ は、ひずみ(応力)による変化を反映するとともに、各軸上の電子存在確率(各軸間での相対的な存在割合)そのものを表しており、無負荷の場合は各軸(3つの軸)でいずれも等しく3分の1となる。

次に、Dharらのモデル<sup>6)</sup>を基にして②電子散乱確率の 変化(運動量緩和時間の変化)を考慮した。すなわち、i軸上の伝導帯バレーにおける緩和時間の変化係数 $f_r^{(i)}$ を次 式 (3) で与えた。

$$f_{\tau}^{(i)} = \frac{1 + \frac{\tau_{0g}}{\tau_{0f}}}{1 + \frac{\tau_{0g}}{\tau_{0f}} \cdot p^{(i)}}$$
(3)

 $\tau_{0g}$ は等価なバレー間の散乱 (g過程) による緩和時間, $\tau_{0f}$ は等価でないバレー間の散乱 (f過程) による緩和時間を 表す。g過程とf過程の比である $\tau_{0g}/\tau_{0f}$ の値は,飽和移動度 に関する考察から0.25とした<sup>3)</sup>。f 過程の緩和時間のみが ひずみによって変化するとし,このひずみによる変化率 $P_i$ が次式で与えられる。

$$P_{i} = \frac{\left[g\left(\frac{\Delta E_{i \rightarrow j}^{emi}}{k_{B}T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{emi}}{k_{B}T}\right) + g\left(\frac{\Delta E_{i \rightarrow j}^{abs}}{k_{B}T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{abs}}{k_{B}T}\right)\right]}{2\left\{g\left(\frac{-\hbar\omega_{opt}}{k_{B}T}\right) + \Gamma\left(\frac{3}{2}\right)\right\}}$$
(4)

$$\Delta E_{i \to j}^{emi} = \Delta E_c^{(j)} - \Delta E_c^{(i)} - \hbar \omega_{opt}$$
<sup>(5)</sup>

$$\Delta E_{i \to j}^{abs} = \Delta E_c^{(j)} - \Delta E_c^{(i)} + \hbar \omega_{opt} \tag{6}$$

$$\boldsymbol{g}(s) = \begin{cases} \exp(-s) \cdot \Gamma\left(\frac{3}{2}\right) & (\forall_s > 0) \\ \exp(-s) \cdot \Gamma\left(\frac{3}{2}, -s\right) & (\forall_s < 0) \end{cases}$$
(7)

 $\hbar\omega_{opt}$ はフォノンエネルギであり、61.2meVとした<sup>13)</sup>。  $\Gamma(a), \Gamma(a, -s)$ は、それぞれガンマ関数および不完全ガン マ関数である。 $f_r^{(i)}$ は無負荷の場合を基準とした変化係数 を与え、それゆえ無負荷の場合は1となる。

#### 3.2 電子有効質量の変化モデル

本節では、本研究で新たに考慮した③電子有効質量の変 化を与えるモデルを示す。緒言で言及したとおり、3.1節 に示したモデルのみでは2章のFig. 4で示した1軸負荷下 での電気特性変動量における異方性を定性的に再現できな い<sup>9)</sup>。Si伝導帯エネルギバンドの最もエネルギが低い方か ら2つのバンドは、Siの逆格子空間におけるブリルアン ゾーン境界のX点において縮退している。しかし, Si(110) 方向の1軸性ひずみを作用させた場合などに生じ る結晶座標系で定義されるせん断応力(ひずみ)はこの縮 退を解き、(せん断ひずみが定義される面内に対して)面 外方向バレーのエネルギシフト,有効質量の変化,および 伝導帯バレーの位置変化を引き起こす。Ungersboeckら は、Si伝導帯エネルギバンドの最もエネルギが低い方から 2つのバンドにk·p 摂動法を適用して、せん断ひずみに起 因した伝導帯エネルギ変化および電子有効質量変化を取り 扱うための理論式を示している<sup>11)</sup>。そこで本研究では, このUngersboeckらが示したSi結晶のせん断ひずみと電子 の有効質量変化の関係を、3.1節のモデルに加えて考慮し た。本研究では、ドレイン電流に対する有効質量変化の影 響が最も大きいと考えられるゲート面外方向(i=3軸方向 とする)バレーの電流方向(Si[110]方向)有効質量 *m*\*<sub>t<sup>(3)</sup>,[110]</sub>の変化のみ考慮した。すなわち、ゲート面内 (1-2面内)のせん断ひずみ $\varepsilon_{12}$ から,有効質量 $m^*_{t^{(3)}}$ [110]の 変化係数hを次式(8)で与えた。

$$h = \frac{m_{t,^{(3)},[110]}^{\ast}}{m_{t}^{\ast}} = \begin{cases} (1 - \eta \varepsilon_{12} / \kappa)^{-1}, & |\varepsilon_{12}| < \kappa \\ (1 - \operatorname{sgn}(\varepsilon_{12}) \eta)^{-1}, & |\varepsilon_{12}| > \kappa \end{cases}$$
(8)

 $\eta$ ,  $\kappa$ の各パラメータの値には、それぞれ経験的擬ポテン シャル法によって求められた値 ( $\eta$ =-0.809,  $\kappa$ =0.0189)<sup>11)</sup> を 用いた。なお本研究では、せん断ひずみに起因した伝導帯 エネルギ変化は、垂直ひずみに起因する変化量(式(1)) に比較して非常に小さいため考慮していない。無負荷の状 態では、Fig. 6(a) に示すとおり3軸上バレーにおいて3軸



# Fig. 6 Effects of shear strain on effective mass of electron in [001] valley

(a) Unstrained state, (b) under shear strain  $\varepsilon_{12}$ .

と垂直な方向(1-2面内)の有効質量はいずれも $m^*_t$ であ るが,Si[110]方向に1軸負荷を与えた場合,Fig.6(b)に示 すように負荷方向の有効質量 $m^*_{t,^{(0)},[110]}$ と負荷方向と垂直 な方向(1-2面内)の有効質量に差が生じる。式(8)では, せん断ひずみ $\epsilon_{12}$ の符号に対応して有効質量が増減するこ とになり,電流方向(Si[110]方向)と1軸負荷方向が平 行な場合と垂直な場合で移動度に差が生じることになる。 hは無負荷の場合を基準とした変化係数を与えており,そ れゆえ無負荷の場合はh=1となる。

### 3.3 移動度変化係数

筆者らが用いたドリフト拡散デバイスシミュレータで は、電流方向のスカラー移動度を用いてシミュレーション が実施される。一方で、3.1節および3.2節で示した電子存 在確率 $\nu^{(i)}$ 、散乱確率および有効質量の変化係数 ( $f_{\tau}^{(i)}$ およ びh)は、Si結晶の主軸に沿った方向で定義される。そこ で本研究では、応力効果を反映した電流方向の移動度変化 係数  $f_{\text{stress}}$ を次式 (9) で定義した。

$$f_{\text{stress}} = c^{(1)} v^{(1)} f_{\tau}^{(1)} + c^{(2)} v^{(2)} f_{\tau}^{(2)} + c^{(3)} v^{(3)} f_{\tau}^{(3)} \cdot \frac{1}{h}$$
(9)

式 (9) は、テンソル移動度から電流方向のスカラー移動度 変化係数を定義する式であり、電子擬フェルミポテンシャ ルの勾配の向きと電流の向きを同じと見なしている。この 式 (9) の導出過程は、筆者らの既報論文<sup>3)</sup>に詳しい。な お、文献3では1軸応力効果は考慮していないため式 (9) 中の1/hは現れないが、スカラー移動度変化係数を定義す る過程は同じである。式 (9) 中の $c^{(i)}$ は、電流方向の移動 度変化に対するi軸上伝導帯バレーの寄与を表す。本研究 の評価対象であるSi(001) デバイスであれば、1軸方向 ([100] 方向) と電流方向のなす角を $\theta$ として $c^{(i)}$ が以下で定 義される<sup>3)</sup>。

 $c^{(1)} = R_t \cos^2 \theta + R_t \sin^2 \theta \tag{10}$ 

$$c^{(2)} = R_t \cos^2 \theta + R_l \sin^2 \theta \tag{11}$$

$$c^{(3)} = R_t \tag{12}$$

$$R_{l} = \frac{\mu_{l}}{\mu} = \frac{\mu_{l}}{(\mu + 2\mu)/3} = \frac{3}{1 + 2(m^{*}/m^{*})}$$
(13)

$$R_t = \frac{\mu_t}{\mu} = \frac{\mu_t}{(\mu + 2\mu)/3} = \frac{3(m_t^*/m_t^*)}{1 + 2(m_t^*/m_t^*)}$$
(14)

以上から,最終的にデバイスシミュレーション上で用いら れる応力効果を考慮した電流方向スカラー移動度 $\mu_{stress}$ が, 次式 (15) で算出されることになる。

$$\mu_{\rm stress} = \mu_{\rm un} \cdot f_{\rm stress} \tag{15}$$

ここで, µ m は応力効果を考慮する前の電子移動度である。

### 4. デバイスシミュレーション

本研究で実施したシミュレーションの流れは次のとおり である。まず,評価対象nMOSFETの4点曲げ負荷に対応 する有限要素法応力解析を行う。すなわち、4点曲げ試験 片に与えた公称応力値を境界条件とし, nMOSFET 内部の 応力分布(値)を評価する。このnMOSFET内部の応力分 布を評価するための有限要素法応力解析では、素子分離酸 化膜 (LOCOS) 端での応力集中を考慮するため、LOCOS の一部を含む領域をモデル化している。デバイス内部の応 力分布解析手法については,著者らの既報論文<sup>4)</sup>に詳し い。次に、応力解析によって得られたデバイスシミュレー ションモデル各節点(基板領域)での応力値から、式 (15) を用いて各節点での応力効果を考慮した移動度µstress を算出し、デバイスシミュレーション実行時に用いる。こ のとき,応力効果を考慮する前の電子移動度µ,,,には,格 子温度依存<sup>14)</sup>,不純物濃度依存<sup>15)</sup>,垂直電界依存<sup>16)</sup>の影 響をそれぞれ考慮している。以上の手順は、筆者らの既報 論文<sup>3)</sup>に詳しい。なお本研究では、nMOSFET(バルクSi ではない)の無負荷の状態での電気特性を特性変動ゼロの 基準としている。すなわち, nMOSFETのプロセス時に生 じる真性応力や反転層における電子の二次元量子効果<sup>17)</sup> による電気特性変動後を評価の基準としており、以下では 4点曲げ負荷応力(外力)のみをnMOSFETの電気特性変 動に対応させて評価を行う。

本研究では、モデルの作製、シミュレーションの実行に 汎用のコードを用いた。具体的には、応力解析モデルの作 製には三次元CADである SolidWorks,有限要素法コード として MSC.MARC,デバイスシミュレーションコードと して HyENEXSS を用いた。

4.1 シミュレーションモデル

Fig. 7に、本研究で用いた三次元デバイスシミュレー ションモデルの断面模式図を示す。デバイスの幅方向(紙 面に垂直な方向)の構造および不純物濃度分布は一定とし た。この不純物濃度分布は、プロセスシミュレーションに



Fig. 7 Schematic configuration of nMOSFET model for device simulation

より得られており、実験で用いた nMOSFET の製造メーカ より提供を受けた。

応力解析結果から,式(9)を用いてFig.7に示す基板領 域内各節点での電子移動度変化を算出し,式(15)によっ て得られる電子移動度をデバイスシミュレーション実行時 に用いた。なお,1軸負荷方向と電流方向が平行な場合の 応力解析の結果,nMOSFETの電気特性を特徴付けるチャ ネル領域の電流方向応力値(垂直応力)が,4点曲げ負荷 で与えた公称応力値(応力解析の境界条件)よりも最大で 17%程度小さくなった。したがって,公称応力値から算出 される移動度変化と応力解析結果から算出される移動度変 化が異なることになる。本研究では,nMOSFET内部の 応力解析結果を用いることによって,nMOSFETの内部微 細構造によって生じる応力分布の影響を考慮したデバイス シミュレーションを実施した。

デバイスシミュレーション実行時の電気的境界条件は, 2章に示した実験条件と同様である。すなわち,ソース・ ドレイン間電圧を0.1Vに固定し,ゲート・バックゲート 間電圧を0Vから5Vまで掃引してドレイン電流値をシ ミュレーションした。

4.2 シミュレーション結果と考察

ドレイン電流のデバイスシミュレーション結果として, Fig. 8(a) に1軸負荷方向と電流方向が平行な場合 (Longitudinal), Fig. 8(b) に1軸負荷方向と電流方向が垂直 (Transverse) な場合の結果をそれぞれ示す。いずれも,引 張り負荷で電流値が増加し, 圧縮負荷で電流値が減少し た。この電流値変化における定性的な傾向は, 3.1節に示 した電子存在確率の変化を反映している。すなわち,ゲー ト水平面内(1-2面, Fig. 7においてx-y面)に引張り応力 を与えた場合には,電流方向に大きな移動度(小さな有効 質量)を有するゲート水平面外方向(3軸方向, Fig. 7にお いてz方向)バレーの電子数が相対的に増加し,結果的に 電流方向の移動度増加をもたらす。逆に,ゲート水平面内 に圧縮応力を加えた場合には,大きな移動度を有する電子 数が相対的に減少し,電流方向の移動度が減少する。ま た, Fig. 8(a), (b) に示すとおり,しきい値電圧の顕著な変



Fig. 8 Simulation results of drain current variations under uniaxial stress

(a) Longitudinal, (b) transverse.

動は見られなかった。以上の結果は,実験結果と定性的に よく一致している。

Fig.9には, Fig.8(a), (b) から得られる Gm変化率 (ΔGm/ Gm)を負荷応力に対してプロットする。なお、Gm変化率 の定義は2章で示した実験と同様である。Fig.9に示すと おり,負荷応力に対する変動量は,電流方向と1軸負荷方 向が平行な場合の方が垂直な場合に比べて大きくなった。 これは、Fig. 4の実験結果と定性的に一致している。3章 で述べたとおり、この電気特性変動量の電流方向に対する 1軸負荷方向依存性は、電子移動度モデルにおける有効質 量変化に起因する。すなわち,本研究で行った電流方向 (Si[110] 方向)および電流方向と垂直方向への1軸負荷で は、Si結晶主軸方向の垂直ひずみ成分 (E11, E22, E33) が同じ になるため、式(1)で算出される伝導帯バレーのエネルギ 変化が両方の負荷条件で等しくなる。したがって、この伝 導帯バレーのエネルギ変化から算出される電子存在確率 (式(2))および散乱確率(式(3))の変化も両方の負荷 条件で等しくなる。一方、有効質量の変化モデル(式

論文

(8))では、考慮されるせん断ひずみ(*ε*<sub>12</sub>)の符号が両方の 負荷条件で異なるため、両者の移動度変化に差が生じるこ とになる。以上から、式(8)の有効質量変化モデルによ り、1軸負荷時に特有な電気特性変動量の電流方向に対す る負荷方向依存性をデバイスシミュレーションで再現する ことができた。

次に、デバイスシミュレーション結果と実験結果を定量 的に比較すると、シミュレーション結果の電気特性変動量 の方が小さくなることがわかった。そこで、ピエゾ効果の 関係<sup>7)</sup>を用いて本研究の負荷応力値に対応する電気特性変 化率(電流値変化率)を見積もり、デバイスシミュレー ションによる解析結果と比較した。Table 1に, Lightly Doped Silicon (バルクn-Si)のピエゾ係数<sup>7)</sup>を示す。ここ で本研究では、ピエゾ'抵抗'係数により算出される抵抗 変化率を電流値変化率に対応させた。そのため、1軸引張 り応力負荷時に電流値変化率が正となるように, Table 1 に示すピエゾ係数の符号を表記している。さらにTable 1 には、他の研究者により計測されたnMOSFETのピエゾ係 数<sup>18),19)</sup>も示す。Fig. 10は, Table 1に示すピエゾ係数を用 いて算出される電流値変化率を,電流方向と平行な1軸応 力に対してプロットしている。Fig. 10には, デバイスシ ミュレーションによる解析結果,および2章で示した実験 結果も合わせて示す。Fig. 10の結果から, デバイスシミュ レーション(電子移動度モデル)による解析結果が、バル クSiのピエゾ係数を用いて見積もられる結果と定量的に もよく一致することがわかった。すなわち、本研究のデバ イスシミュレーションは、(MOSデバイスではない)バル

6 ─ Longitudinal ---- Transverse 4 \_\_\_ 2 Gm / Gm (%) <u>/</u>.... 0 A -2 -4 -6 -150 -100 -50 0 50 100 150 Uniaxial stress (MPa)

Fig. 9 Simulation results of transconductance changes  $(\Delta Gm/Gm)$  under uniaxial stress

クSiの応力感度(電流値変化率)を定量的にもよく再現す る。本研究では、電子移動度モデルを用いてひずみによる 伝導帯バレーのエネルギ変化を算出する際(式(1))に, バルクSiに対して求められた変形ポテンシャル定数 (*E*,=10.5eV<sup>13</sup>)を用いている。したがって、本研究の電 子移動度モデルは、バルクSiの応力効果を精度良く見積 もっていることになる。一方で、上述のとおり(バルクSi ではない)nMOSFETの応力感度として報告されている実 験結果とは定量的に差異がある。既報論文<sup>3)</sup>では,変形ポ テンシャル定数E,の値をフィッティングパラメータとし, 実験結果との比較から決定したE<sub>u</sub>=21eVを用いて評価を 行った。同様に、E<sub>4</sub>=21eVとして得られる解析結果もFig. 10に示している。E<sub>4</sub>=21 eVとした場合, デバイスシミュ レーションによって筆者らの実験結果を定量的にもよく再 現できることがわかった。なお、E\_=21eVはフィッティ ングパラメータとしての値であり, nMOSFETに対する変 形ポテンシャル定数の真値が21eVと主張するものではな い。

Fig. 10に示す比較結果から、nMOSFETの応力感度には デバイスの種類ごとに違いがあり、かつ、バルクSiの応力 感度より大きくなることが推察される。このことから、 (バルクSiとは異なるという意味での)MOSデバイスに特 有で応力感度に影響を与える要因が存在すると考えられる が、現在のところその物理的背景は明確ではない。  $E_u=21eV$ とした場合の結果は、この要因をフィッティン



Fig. 10 Stress-induced changes of drain current on nMOSFETs and lightly doped silicon

	Lightly Doped Silicon	nMOSFETs				
	Smith [7]	Bradley et al.	Bradley et al.	Bradley et al.	Gallon et al.	Gallon et al.
		(IBM) [18]	(TI) [18]	(LT) [18]	(bulk) [19]	(SOI) [19]
Piezoresistive Coefficient: $\Pi_{11} + \Pi_{12} + \Pi_{44} (TPa)^{-1}$	624	900	640	1,000	969	1,160

グパラメータとしての変形ポテンシャル定数の値に集約さ せている。1つの可能性として筆者らが考える要因は、 MOS反転層における電子の二次元量子化の影響である。 nMOSFET反転層では、電子はバルクSi中の電子と異なり 二次元量子化されていることが知られている<sup>17)</sup>。すなわ ち、無負荷の状態であっても電子の状態がバルクSiと異 なっており、応力に起因する電気特性変動に影響を及ぼす かもしれない。本研究で示した電子移動度モデルでは、こ の効果を考慮していない。シミュレーションの精度および 汎用性をさらに向上させるためには、MOSデバイスに特 有で応力感度に影響を与える物理現象を明らかにし、シ ミュレーションモデル上で考慮する必要がある。

### 5. 結 論

本論文では、ドリフト拡散デバイスシミュレーションで 利用可能なSi結晶のせん断ひずみと電子の有効質量変化 の関係を考慮した電子移動度モデルを示した。これを用い て、Si結晶にせん断ひずみが生じるような1軸負荷下での nMOSFETの電気特性変動をシミュレーションした。その 結果、実験で得られる電気特性変動量の電流方向に対する 1軸負荷方向依存性を再現することができた。また、 nMOSFETの応力感度に対する考察から、バルクn-Si (Lightly Doped Silicon)とnMOSFETで応力感度が異なる ことが推察された。定量的なシミュレーション精度向上の ためには、このMOSデバイスに特有な物理現象を移動度 モデル上で考慮する必要があると考えられる。筆者らの今 後の研究課題としたい。

### 謝 辞

本研究を実施するにあたってご協力いただいた新日本無 線 吉田誠一郎氏に感謝致します。本研究の一部は,福岡 地域に対する文部科学省地域イノベーションクラスタープ ログラムの支援による。

(2012.2.10-受理)

#### 文 献

- 三浦英生,西村朝雄: "パッケージング応力起因の半導体 素子特性変動,"日本機械学会論文集,A編,Vol. 61,No. 589, pp. 1957–1964, 1995
- H. Ali: "Stress-Induced Parametric Shift in Plastic Packaged Devices," IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol. 20, Part B, No. 4, pp. 458– 462, 1997
- 3) 小金丸正明,池田 徹,宮崎則幸,友景 肇:"ドリフト 拡散デバイスシミュレーションを用いた実装応力に起因す る nMOSFETのDC特性変動評価手法,"エレクトロニクス 実装学会誌, Vol. 12, No. 3, pp. 208–220, 2009
- 4) 吉田圭佑,小金丸正明,池田 徹,宮崎則幸,友景 肇:
   "実装応力に起因する半導体デバイスの電気特性変動シ ミュレーション:デバイス内部の応力分布の影響評価,"

エレクトロニクス実装学会誌, Vol. 14, No. 1, pp. 45-54, 2011

- J. L. Egley and D. Chidambarrao: "Strain Effects on Device Characteristics: Implementation in Drift-Diffusion Simulators," Solid-State Electronics, Vol. 36, No. 12, pp. 1653–1664, 1993
- S. Dhar, H. Kosina, V. Palankovski, S. E. Ungersboeck, and S. Selberherr: "Electron Mobility Model for Strained-Si Devices," IEEE Transactions on Electron Devices, Vol. 52, No. 4, pp. 527–533, 2005
- C. S. Smith: "Piezoresistance Effect in Germanium and Silicon," Physical Review, Vol. 94, No. 1, pp. 42–49, 1954
- M. Koganemaru, T. Ikeda, N. Miyazaki, and H. Tomokage: "Evaluation of Stress Effects on Electrical Characteristics of N-Type MOSFETs: Variations of DC Characteristics during the Resin-Molding Process," ASME Journal of Electronic Packaging, Vol. **132**, 011003, pp. 1–8, 2010
- 9) M. Koganemaru, T. Ikeda, N. Miyazaki, and H. Tomokage: "Experimental Study of Uniaxial-Stress Effects on DC Characteristics of nMOSFETs," IEEE Transactions on Components and Packaging Technologies, Vol. 33, No. 2, pp. 278–286, 2010
- 10) K. Uchida, T. Krishnamohan, K. C. Saraswat, and Y. Nishi: "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime," International Electron Devices Meeting, pp. 135–138, 2005
- E. Ungersboeck, S. Dhar, G. Karlowatz, V. Sverdlov, H. Kosina, and S. Selberherr: "The Effect of General Strain on the Band Structure and Electron Mobility of Silicon," IEEE Transactions on Electron Devices, Vol. 54, No. 9, pp. 2183–2190, 2007
- C. Herring and E. Vogt: "Transport and Deformation-Potential Theory for Many-Valley Semiconductors with Anisotropic Scattering," Physical Review, Vol. 101, No. 3, pp. 944–961, 1956
- 13) M. V. Fischetti and S. E. Laux: "Band Structure, Deformation Potential, and Carrier Mobility in Strained Si, Ge, and SiGe Alloys," Journal of Applied Physics, Vol. 80, No. 4, pp. 2234– 2252, 1996
- 14) S. M. Sze: "Physics of Semiconductor Devices," John Wiley & Sons, Inc., 2nd ed., 1981
- S. A. Mujtaba: "Advanced Mobility Models for Design and Simulation of Deep Submicrometer MOSFETs," Ph.D dissertation, Stanford University, 1995
- 16) H. Shin, A. F. Tasch, JR., C. M. Maziar, and S. K. Banerjee: "A New Approach to Verify and Derive a Transverse-Field-Dependent Mobility Model for Electrons in MOS Inversion Layers," IEEE Transactions on Electron Devices, Vol. 36, No. 6, pp. 1117–1124, 1989
- 17) 高木信一: "Si系高移動度MOSトランジスタ技術,"応用 物理, Vol. **74**, No. 9, pp. 1158–1170, 2005
- A. T. Bradley, R. C. Jaeger, J. C. Suhling, and K. J. O'Connor: "Piezoresistive Characteristics of Short-Channel MOSFETs on (100) Silicon," IEEE Transactions on Electron Devices, Vol. 48, No. 9, pp. 2009–2015, 2001
- 19) C. Gallon, G. Reimbold, G. Ghibaudo, R. A. Bianchi, and R. Gwoziecki: "Electrical Analysis of External Mechanical Stress Effects in Short Channel MOSFETs on (001) Silicon," Solid-State Electronics, Vol. 48, pp. 561–566, 2004

#### - 著者紹介



小金丸正明(こがねまる まさあき) 1992 九大・応用原子核卒。1994 九大・総理工 修士課程了。同年福岡県工業技術センター機械電 子研究所入所。電子実装の信頼性に関する研究 に従事。2008 京大博士 (工学)。2009年度エレ クトロニクス実装学会論文賞, MES2009ベスト ペーパー賞受賞。エレクトロニクス実装学会、日 本機械学会, 電子情報通信学会, 応用物理学会各 会員。



池田 徹(いけだ とおる) 1986 九大·化学機械卒, 1992 九大化学機械 博士課程了。博(工), 1992 九大工学部助手, 1996 同助教授, 2004より京大工学研究科准教 授。界面・接着の破壊力学,電子実装における信 頼性評価の研究に従事。日本機械学会,日本材料 学会,エレクトロニクス実装学会,日本計算工学 会。



吉田圭佑(よしだ けいすけ) 2009 京大・機械理工学卒。2011 京大・機械理 工学修士課程了。MES2009ベストペーパー賞受 嘗。



宮崎則幸(みやざき のりゆき) 1972 東大·原子力卒。1977 東大原子力博士課 程了。1977 日本原子力研究所研究員。1983 九 大助教授。1996 九大教授。2004 京大教授。電 子/光学デバイス用単結晶の材料強度に関する研 究,電子デバイス実装の強度信頼性評価に関す る研究に従事。ICES WASHIZU MEDAL, JACM Award for Computational Mechanics, APACM Award for Computational Mechanics等受賞。



#### 多田直弘(ただ なおひろ) 2011 京大·物理工学卒。京大·機械理工学修士

課程在学中。シリコンデバイスの機械的応力効果 のシミュレーション技術に関する研究に従事。



77年九大電気卒,82年九大電気博士課程修了, 工学博士。82年福岡大学講師, 85年同大助教授,

87年スタンフォード大学客員研究員,92年から 福岡大学工学部電子情報工学科教授。シリコン, カーボン系材料などの評価とデバイス応用,高周 波パッケージの設計・評価に従事。09~11年エ レクトロニクス実装学会会長。