74

樹脂封止された積層半導体チップの残留応力に起因する 電気特性変動評価手法*

松田 和敏*1, 池田 徹*2, 小金丸 正明*3, 宮崎 則幸*4

Evaluation Method of Electronic Characteristic Changes of Stress-Induced Multilayer Chip in Resin-Molded Electronic Packages

Kazutoshi MATSUDA^{*1}, Toru IKEDA, Masaaki KOGANEMARU and Noriyuki MIYAZAKI

*1 Sony Semiconductor Corporation Oita Technology Center. Advanced PKG Development Section Advanced PKG Development Dept. Assy Engineering Div. 3319-2 Owara, Kunisaki-machi Kunisaki-shi, Oita, 872-0015 Japan

In electronic packages such as BGA and LGA packages, it is very important for the reliability of packages to reduce the residual stress on the surfaces of semiconductor chips. In recent years, product defects caused by changes in the electrical operating characteristics of the semiconductor devices in the chip produced by residual stress generated in the semiconductor chip within the semiconductor package have also become a problem. That has resulted in a need to accurately estimate residual stress and electronic characteristic changes within the package from the design stage and the widespread use of simulation by the finite element method (FEM) or other techniques for that purpose. In this research, the authors proposed the evaluation method to predict the electronic characteristic changes of stress-induced multilayer chips in resin-molded electronic packages. The developed technique considering the stress singular field and the piezoelectric effect made it possible to predict electronic characteristic changes of multilayer chips in resin-molded electronic packages accurately.

Key Words : Finite Element Method , Stress Singular Field, Residual Stress, Piezo

1. 緒 言

電子機器の実装部品に使われている BGA (Ball Grid Array), LGA (Land Grid Array) などの半導体パッケージ では、チップ薄型化・積層構造等の三次元高密化によりパッケージ内に大きな残留応力が発生し、Low - k 層の 破壊やチップクラックなどの機械的破壊を引き起こす原因となっている.近年これらの機械的不良の問題に加 え、チップ上の残留応力が半導体デバイスの電気特性を変動させる問題が顕在化しており、半導体実装メーカ は、パッケージ構造・材料を最適化し、この問題を解決する必要に迫られている.そのため、三次元高密度パ ッケージ中の残留応力とデバイス特性変動の予測技術の確立が求められている.

機械的応力による半導体デバイスの電気特性変動は、ピエゾ効果として古くから知られている⁽¹⁾. これまで、 4 点曲げ試験や数値シミュレーション技術を用いて、主に応力効果の半導体物性に着目した研究が数多くなさ れている⁽²⁾⁽³⁾.また、応力効果を積極的に活用する"歪み"シリコンデバイスの研究も行われている⁽⁴⁾.実際の 半導体パッケージ・後工程を対象としたデバイス特性変動評価に関しては、いずれも QFP などの 1Chip 構造の 単純なパッケージでのみ報告されている⁽⁵⁾⁽⁷⁾.これらの報告では、チップ面内の二次元的な応力場が支配的とな るため、チップ面内の二次元応力でデバイスの電気特性変動が評価されている.一方、三次元積層チップでは、



^{*} 原稿受付 2012 年 9 月 25 日

^{*1} 正員,ソニーセミコンダクタ(株) (〒872-0015 大分県国東市国東町小原 3319-2)

^{*2}正員,京都大学大学院工学研究科(〒606-8501 京都府京都市左京区吉田本町)

^{*3}正員, (財) 福岡県産業・科学技術振興財団(〒810-0001 福岡県福岡市中央区天神 1-1-1)

^{*4} 正員,フェロー,京都大学大学院工学研究科

E-mail: Kazutoshi.Matsuda@jp.sony.com

デバイスに複雑な三次元応力場が生じていることが容易に想像できる.特に,積層チップの大きさが異なる場合,上段チップ角部で発生する応力集中(応力特異場)が,下段チップ上のデイバスの電気特性を大きく変動 させることも考えられる.したがって,三次元積層チップパッケージにおけるデバイス電気特性変動評価では, パッケージ内部の三次元応力場を精度良く見積もるとともに,応力特異場を含む三次元応力場でのデバイス特 性変動評価が必要となる.

そこで本研究では、三次元積層構造の半導体チップが樹脂封止されたパッケージを対象とし、応力特異場解 析とピエゾ効果モデルを用いたデバイス特性変動評価手法を提案する.まず、三次元積層チップを模擬した試 験片を用いて4点曲げ試験を行い、チップ上の MOS デバイスの電気特性変動を計測した.その際、上段チップ と下段チップの相対位置を変化させ、上段チップ角部(応力集中部)と電気特性を計測する下段チップ上の MOS デバイスの距離を変化させた.有限要素法応力解析結果を用いた応力特異場解析により MOS デバイス近傍の応 力場を評価し、ピエゾ効果モデル⁽¹⁾を用いて MOS デバイスの電気特性変動を予測した.この予測結果を実験結 果と比較・検証し、応力特異場解析を含む評価手法を新たに提案する.最後に、この評価手法を実際に電気特 性変動が起こった三次元積層チップが樹脂封止されたパッケージに適用し、提案手法の妥当性・有用性を検証 する.

2. 積層構造パッケージにおける電気特性変動例

実際の積層構造パッケージにおける電気特性変動の例として、動作不良が発生したパッケージの断面構造を 図1(a)に示す.下段チップは一部のエリアにアナログ回路が成形されているロジックチップ,上段チップはメ モリーチップで、ワイヤーボンディングでそれぞれ基板へ接続されている.基板とロジックチップは液状の接 着剤(ダイボンディング剤)を423.15Kで硬化することで基板に実装されている.メモリーチップはフィルム 状の接着剤を用いてロジックチップ上に実装され433.15Kで硬化した後、樹脂封止される.図1(b),(c)に、 ロジックチップ上のアナログ回路エリアの位置と上チップとの相対位置を示す.設計初期のアナログ回路端か ら100µm回路内のCase④の位置にメモリーチップを実装した構造で電気特性起因の不良が発生した.具体的に は、下段のロジックチップに形成されたアナログ回路内の特定の回路ブロック(PLL回路)で過度電流による異常 発振の不良が発生した.原因特定のために、特性変動を起こしたサンプルを化学薬品にて樹脂開封し再度測定 を試みると、回路は正常に動作し電気特性起因の不良は発生しなかった.よって、今回発生した電気特性不良 は樹脂封止後のロジックチップに発生する残留応力が原因で発生したものであると推定した.

次に、不良の回避策を探るために、アナログ回路から上チップの搭載位置を変更して実装し、特性不良の発 生率が、どのように変化するかを実験した.図1(b)に上チップ実装位置とアナログ回路との相対位置を示した. この図に示した Case①~Case⑥の搭載位置で実験を行った.Case⑤,⑥は、アナログ回路を上チップが覆って ない構造になる.表1に実験結果から得られた電気特性変動の不良数と測定したサンプル数を示す.実験結果 から Case④の不良発生数が最も多かった.アナログ回路外の位置に実装した Case⑤,⑥は、動作不良が発生せ ず、上チップ搭載の影響が実験結果から顕著にわかった.また、表1に示すようにアナログ回路上にメモリー チップを実装した Case④を含む①~③の実験水準においては、すべて不良が発生しており、実験結果から、上 チップがアナログ回路上に実装されることにより、アナログ回路の特性変動が誘発されることがわかった.ま た、製品の大量生産時における不良率は ppm 単位で管理されており、表1に示す不良率でも大量生産ができな いため、原因究明が大きな開発課題となった.



Table 1 Number of failured samples for each position of a memory chip.

	Case①	Case ²	Case ^③	Case④	Case ⁽⁵⁾	Case ⁶
Number of failured samples	1	1	2	3	0	0
Number of measurement samples	134	45	46	45	48	129

3. 評価方法の概要

実際の積層構造パッケージにおいて発生した問題を解決するためには、三次元高密度パッケージ中の残留応 カとデバイス特性変動の予測技術の確立が必要になる.デバイス特性変動の評価方法として、一般的なのはピ エゾ効果を利用した方法である.半導体素子として使用されるシリコン結晶に外力が加えられると、形状的な ひずみが発生するとともに、電気伝導にもひずみが生じる.このため、結晶内部におけるキャリア密度やキャ リア移動度が変化し、結晶の電気抵抗も変化する.この現象をピエゾ効果という.本研究では、このピエゾ効 果を用いて、外力と電気抵抗変化の関係を実験とシミュレーションで比較することにより評価手法の検討を行 った.実際に不良が発生したデバイスの回路に組み込まれている pMOS、nMOS トランジスタの電気特性を、トラ ンジスタごとに個別に測定することはできない.そこで、まずは実際のデバイスと同じ 90nWafer プロセスで形 成された pMOS のテストチップを用いて実験を行った.具体的には以下に示す方針で解析を行った.

- (1) 初めに、実際の三次元積層構造を模擬するため、テスト用 MOS デバイスが形成されたシリコンチップ の上にダミーシリコンチップを実装した試験片を用いて、チップのみで4点曲げ試験を行う.パッケー ジ後の残留応力を模擬した曲げ荷重と、MOS デバイスの電流変化率を測定し、実際のデバイスで発生した 不良の簡易的な再現実験を行う.これにより、ピエゾ効果を用いた評価手法の有効性も確認する.
- (2) 次に(1)の実験結果を元にシミュレーションを用いた特性変動評価手法を構築する.
- (3) 最後に、実際に特性変動が起こった積層構造パッケージに開発した評価手法を適用し、評価手法の有 効性を確認する.

4. 模擬積層チップと4点曲げ負荷試験による評価手法の検討

4・1 模擬積層チップ

本研究では、3章で述べた4点曲げ試験を行うために半導体デバイスに応力を負荷した状態で、その電気特性 を測定するシステムを構築した.測定システムは、コンピュータ制御式の負荷試験機と4点曲げ治具、半導体 デバイスの電極パッドに直接電気的な接続をするためのプローブとプローブに接続された可変電源・電流計、 および電極パッド接続の際に試験片観測に用いる光学顕微鏡より構成される.基本の機器構成・機能は、引用 文献⁽⁸⁾とほぼ同じ設計にした.

実験には図 2(a)に示す pMOS トランジスタが形成された短冊状に切り出した Si ウエハに, ダミーチップを実 装した試験片を用いた.その際、上段のダミーチップと下段チップの相対位置が異なるサンプルを作成するこ とで、上段チップ角部(応力集中部)と電気特性を計測する下段チップ上の pMOS トランジスタの位置関係と電 気特性変動との関係を評価する.曲げ荷重とpMOSの電流変動率を測定し、応力と電流変化率、および上チップ と下段チップとの相対位置と電流変化率の関係を定量的に求める。この相対位置の関係を図 2(b)に示す。試験 片の pMOS トランジスタの上に、ダミーのチップをダイボンディングフィルム (厚さ 0.025mm)を用いて 433.15K, 1時間のキュア条件にて硬化させ実装した.ダイボンディングフィルムは、実際の積層構造パッケージと同じ 物を用い、Wafer 状態のシリコンに張り付け、ダイシングによりダミーチップと一緒に個片化した. そのため、 実装後も、ダミーチップとダイボンディングフィルムは同じ形を維持する.ダミーチップの実装には、搭載精 度±5µmの高精度チップマウンターを用いて、トランジスタゲート長 ₩の中心にダミーチップの角部が位置す ることを目標にしてダミーチップの搭載を行った. 搭載位置を X 線装置で厚さ方向から計測したところ、ダミ ーチップの搭載位置が、ゲート長 Wの中心を原点として、-0.6µm、-3.2µm、+3.3µm になる3サンプルを作成 することができた. 実験には形状が L=5.0µm M=2µm, 動作電圧 V=3.3V のトランジスタを用いた. 評価に用い たトランジスタのゲート長が 2um のため,搭載位置が-0.6um のサンプルは,図2(b)に示すようにゲートの一 部に上チップが重なるサンプル構造になる.他のサンプルも搭載位置が-3.2umのものは、チップ角部の外側に トランジスタが配置され,搭載位置+3.3µmは、上チップがトランジスタを完全に覆う配置となる.この3個 のサンプルを用いて図 2(c)に示す支点間距離にて 4 点曲げ実験を実施した. 測定は、4 点曲げ治具により試験 片が凹(試験片の上面が圧縮応力)に変形する荷重を加えた後, pMOS の電極パッドにプローブを接触させ、ゲ ートおよびソース・ドレイン間に所定の電圧を印可してソース・ドレイン間の電流を計測した. 凹形状になる ように負荷応力を印加した実験を行ったのは、実際の積層構造パッケージの室温での反り方向と同じ向きにし たためである.測定方法は、トランジスタへの印加電圧として、ソース・ドレイン間の電圧を 3.3V に固定し、 ゲート電圧を0Vから-3.3Vまで掃引しドレイン電流の変化を測定した.荷重を与えない電流値を初期値として、 荷重を増加させながら、一定間隔でドレイン電流値を測定し荷重による電流変化率%を測定した. 比較のため ダミーチップを実装しない試験片についても測定を行った.



(a)Schematic of a test chip.

(b) Position of a dummy chip on a pMOS transistor.





Fig. 2 Schematic of a test sample and loading condition.

-77 -

4・2 4点曲げ試験による電気特性変動計測

荷重によるドレイン電流変化率の測定結果を、各ダミーチップの搭載位置について、図3に示す. 横軸は荷 重、縦軸は、荷重が0Nの場合のドレイン電流値からの変化率(%)を示す. 図3には、比較のためにダミーチッ プが搭載されていない場合の結果(図中で△印)も示してある. なお、搭載位置が-3.2µm のサンプルは、7N までドレイン電流値に変化が無かったが、測定中に破損させてしまい8N以降は測定できなかったが、図3より 荷重5Nでドレイン電流が大きく変動したダミーチップの搭載位置-0.6µmのサンプルと、搭載位置が-3.2µmと 3.3µmのサンプルとでは明らかに差異があることがわかる. すなわち、本実験結果から、トランジスタから3µm ほど離れた3.3µmと-3.2µmのサンプルでは、ダミーチップの影響がほとんど無く、ダミーチップを搭載しな いシングルチップの試験片と、ほぼ同じ電流変化を示すことがわかった. 次に、この5Nで発生した大きな電流 変化率の原因について検討するため、有限要素法による応力解析によりトランジスタ近傍の応力値も算出した.



Fig. 3 Drain current changing rate with loading force.

4・3 応力解析とピエゾモデルによる評価

応力解析には、MSC Software 社の汎用有限要素法解析ソフトウエア MARC2008 を使用した.図4 に解析に用いた有限要素法モデル(FEM model)を示す.有限要素法モデルは、8 節点 Solid 要素を用いて作成し、実験と同じ4 点曲げ条件を設定した.ダミーチップ角部の応力場を詳細に評価するためには、メッシュサイズを細かくする必要がある.そこで MARC2008 のズーミング機能を用いて詳細メッシュのモデリングを行い、最小メッシュサイズは0.5µm まで小さくした.図4(a)に全体モデル、図4(b) にズーミングモデルの pMOS エリアを示す.表2 には使用した Si の物性値を示す.接着に用いたダイボンディングフィルムのヤング率は、室温(298.15K)で、ヤング率3.0GPa、ポアソン比0.3で、材料メーカのカタログ値を引用した.ダイボンディングフィルムは433.15Kで硬化されるため、室温時には熱収縮によりチップ表面に既に応力が発生している.しかし、その室温状態で測定した電流値を初期値として荷重負荷後の電流変化率を測定するため、今回のモデルでは、室温を応力フリーとして計算を行った.



(a) Global FEM model of a test sample.(b) Zoomed FEM model of a test sample.Fig. 4 3D FEM model for a test sample.

-78 -

Table 2 Components of stiffness matrix for silicon.

C ₁₁	165.7	(C ₁₁	C ₁₂	C ₁₂	0	0	0)
C ₁₂	63.9	C ₁₂	C_{11}	C_{12}	0	0	0
C ₄₄	79.6	C ₁₂	C_{12}	C_{11}	0	0	0
	Unit:GPa	0	0	0	C_{44}	0	0
		0	0	0	0	C_{44}	0
		lo	0	0	0	0	C ₄₄

4・4 ピエゾ効果マトリックスを用いた電流変化率の予測

図5に荷重5Nの場合について解析した応力値を示す.この図では図4(b)に示すテストチップの測定したトランジスタの位置にあるノード(節点)を通る節点間の位置を横軸に,垂直応力とせん断応力成分を縦軸にプロットした.図5の横軸は、ダミーチップ角部を中心(原点0)に、ダミーチップ下部をマイナス方向、ダミーチップ外部をプラス方向と定義した座標xをとり、±10µmで表示している.これより、ダミーチップ角部に近づくほど応力の絶対値が高くなっているのがわかる.この応力値を用いて電流変化率を予測した.そのために、ピエゾ効果マトリックスを用いた.次式にピエゾ抵抗効果における応力(テンソル量)と結晶の誘電率の変化量(ベクトル量)の関係を3次元のx, y, z 直交座標系を用いて表したピエゾ効果マトリックスを示す.

$$\begin{bmatrix} \delta G_{xx} / G \\ \delta G_{yy} / G \\ \delta G_{zz} / G \\ \delta G_{zz} / G \\ \delta G_{zz} / G \\ \delta G_{zx} / G \\ \delta G_{xy} / G \end{bmatrix} = \begin{bmatrix} \frac{1}{2} (\Pi_{11} + \Pi_{12}) + \frac{1}{4} \Pi_{44} & \frac{1}{2} (\Pi_{11} + \Pi_{12}) - \frac{1}{4} \Pi_{44} & \frac{1}{2} (\Pi_{11} + \Pi_{12}) + \frac{1}{4} \Pi_{44} & \Pi_{12} & 0 & 0 & 0 \\ \frac{1}{2} (\Pi_{11} + \Pi_{12}) - \frac{1}{4} \Pi_{44} & \frac{1}{2} (\Pi_{11} + \Pi_{12}) + \frac{1}{4} \Pi_{44} & \Pi_{12} & 0 & 0 & 0 \\ \Pi_{12} & \Pi_{12} & \Pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \Pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \Pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & 2(\Pi_{11} - \Pi_{12}) \end{bmatrix} \begin{bmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \tau_{yz} \\ \tau_{xx} \\ \tau_{yx} \end{bmatrix}$$

(1)

ここで、 $\delta G_{ij}/G(i, j=x, y, z)$ は、*i*方向に電流を流した際に*j*方向で検出される誘電率の変化成分、 σ_{ii} (*i* = *x*, *y*, *z*) は、各座標方向の垂直応力成分、 τ_{ij} (*i*, *j= x*, *y*, *z*) は各座標面内のせん断応力成分である.式(1)中の6×6のピエゾ抵抗係数行列中のピエゾ抵抗係数値 Π_{11} , Π_{12} , Π_{44} は、結晶の種類,半導体に添加される不純物の種類及びその濃度、温度などの関数であるため、本来は実験により求めるが、まずは文献値⁽³⁾の値を引用してpMOS を評価した.nMOS も参考値として表3に示す.テストチップのpMOS トランジスタは、Si 単結晶座標系で(001)面に形成されており、その長手方向は<110>および<110>方向である.本論文では応力測定結果や有限要素法モデルを表す際に便宜上、<110>を X軸に、<110>を V軸にとった座標系を用いる.式(1)のマトリックスは電流方向が X軸になるように座標系を回転(テンソル変換)したマトリックスになっている.よって、4点曲げ応力による電流変化率の評価には、 $\delta G_{xx}/G$ の値を用いた.ダミーチップ角部周りの応力は、どの方向から近づいても無限大となるが、便宜的にダミーチップ下側に沿った応力を用いて評価した. $\delta G_{xx}/G$ の計算には、せん断応力が0になっているため、 σ_{xx} 、 σ_{yy} 、 σ_{zz} の応力値を使用した.また、実際の動作チップも、同じ結晶座標系の Wafer を用いている.



Fig. 5 Stress distributions around the edge of a dummy chip.

-79-

Table 3 Piezo constants.

	pMOS	nMOS	
Π_{11}	-6.6	102.2	
Π_{12}	1.1	-53.4	
Π_{44}	-138.1	13.6	unit:10 ⁻¹¹ m ² /N

図6に計算で求めたテストチップの電流変化率を示す. 横軸は、チップ角部を原点とした位置を示しており、 チップの下部は負の方向になる. 荷重 8N のシングルテストチップの結果と、ダミーチップを搭載したサンプル の荷重 5N の結果を示す. シングルチップに発生する電流変化率は、面内方向で応力値がほぼ均一のため、電流 変化率もほぼ 0.66%だった. 図3に示す 8N でのシングルチップの実験結果は、電流変化率 0.61%であり、ほ ぼ計算値と等しいことが分かった. 文献から引用した pMOS のピエゾ抵抗マトリックスで評価した場合、本研究 に用いたテストチップとほぼ等しい結果になることがわかった. しかし実験で大きく電流変動をした積層サン プルの電流変化率は、ダミーチップ角部の最大の応力値で評価しても 0.64%で実験値と大きなかい離があった. よって、この手法では、電気特性変動を予測できないことがわかった. そこで、さらにチップ角部の応力評価 の検討を試みた.

Fig. 6 Current changing rate near the edge of dummy chip.

4・5 特異応力場解析を用いた評価

図 5 の応力分布からダミーチップ角部で急激に応力の絶対値が増加していることがわかる.弾性論的にはダ ミーチップ角部の応力は厳密には無限大となる応力特異場となっており,有限要素による解析では,要素によ っては応力特異場を十分にとらえられないことがある.電子実装部の応力特異場を評価する試みとして,服部 らがプラスチックパッケージの樹脂角部の応力を指数型の特異応力場として評価した例がある⁽⁹⁾.さらに図 7 のような接合された材料の角部近傍の応力場は,次式で示される⁽¹⁰⁾⁽¹¹⁾.

$$\sigma_{ij}^{k} = \sum_{m=1}^{N} C_{m} r^{\lambda_{m}-1} f_{ij}^{mk}(\theta) + \sigma_{ij0}^{k}(\theta)$$

$$\tag{2}$$

ここで、 σ_{ij} は応力、 C_m はスカラーパラメーター、rは角部からの距離、 λ_m -1 は特異性の指数で(0.5 $\leq \lambda_m \leq 1$)の 範囲をとる、 $f_{ij}^{m}(\theta)$ は θ の関数、 $\sigma_{ij0}(\theta)$ は熱応力問題の場合に現れる定数項である。また、添字 k は図 7 の k 番目 の材料内の値であることを示す、 λ_m は材料定数と接合角度によって、1~3 個程度出現することが知られている が、 λ_l -1 の特異性が他のものよりも顕著である場合、実用的には他のものを無視できる。また、ある角度 θ にの み着目すれば $f_{ij}^{m}(\theta)$ 、 $\sigma_{ij0}(\theta)$ は一定値であるので次式の様に簡略化することができる。

$$\sigma_{ij} = Hr^{\lambda - 1} + \sigma_{ij0} \tag{3}$$

ここで、 $H=C_{f_{ij}}^{lk}(\theta)$ である.式(2)の σ_{ij0} を左辺に移動し、両辺の対数をとることで次式が得られる.

$$\log(\sigma_{ii} - \sigma_{ii0}) = (\lambda - 1)\log r + \log H$$

(4)



角部近傍で σ_{ij0} が σ_{ij} に比べて十分に小さければ、 $r \geq \sigma_{ij}$ を両対数プロットすることで、 λ -1 と Hを求めることができる。そのためにさらにズーミング機能を用いて最小メッシュサイズ 50nm として応力解析を行い、図 8 に示すダイボンディンフィルムとテストチップの界面上の σ_{xx} 、 σ_{yy} 、 σ_{zz} の値を図 9 に示すように両対数プロットし、 λ -1 と Hを求めた。求めた λ -1 と Hを図 9 中に示す。ここで、Hの単位は(MPam^{1- λ})である。

この結果から,式(3)を用いてダミーチップ角部からマイナス方向に,1nmから10µmまでの応力を10点算出し,その応力より電流変化率をピエゾ効果マトリックスを用いて算出した.結果を図10に示す.



Fig. 7 Coordinates around a jointed corner.



Fig. 8 Interface between an adhesive film layer and a test Si chip.



Fig. 9 Stress singular field around a corner.



Fig.10 Current changing rate calculated from the piezo resistance matrix with the distance from the edge of a dummy chip.

応力特異場を考慮すれば、50nm 以下で電流変化率が 8N の結果を超えるため、ダミーチップ搭載サンプルの 5N で大きな電流変動が発生した試験結果と同じ傾向を示すことがわかった.しかし、1nm の距離の値を用いて も電流変化率は約 3.3%程度であり、まだ実験値と大きなかい離がある.そこで原因調査のために測定したサン プルを再度未負荷の状態に戻して荷重なしで測定を行った.その結果、荷重なしの電流値が実験開始時の初期 値にならず、トランジスタが 4 点曲げの実験途中で電気的に損傷していることが分かった.おそらく、曲げ実 験にて発生したダミーチップ角部の応力が、測定トランジスタにダメージを与え、完全にオープンまでには至 らない不安定な状態での電流測定になったと推定した.他のシングルチップやダミーチップ搭載位置が 3.3µm のサンプルは、電流値は正常値を示し、荷重の再実験を行っても同じ電流変化率を示した.よって、今回発生 した特に大きな電流変化率の値は、測定途中でトランジスタが破損したと推定できる.

今回の実験からは、応力特異場が存在するダミーチップ積層構造のサンプルは、シングルチップ構造に比べて、電流変化を受けやすいことわかった.上チップ角部からの距離は、応力特異場を考慮した約50nm以内にトランジスタがある場合に影響を大きく受ける可能性があることもわかった.このことは、ダミーチップ搭載位置が3.3µmと-3.2µmのサンプルでは、ダミーチップの影響がほとんど無かった実験結果からも裏付けされる.よって、チップ積層構造などのチップに応力が集中する構造では、トランジスタの特性変動を解析する場合は、応力特異場まで考慮する必要があることがわかった.次に、本手法を実際の積層構造パッケージの電気特性変動の解析に適用し、その有効性を確認する.

5. 実パッケージ構造への評価手法の適用と検証

5・1 応力解析と特異応力場解析

5・1・1 ピエゾチップを用いた応力値評価用サンプルついて

実パッケージの有限要素解析を行う前にピエゾテストチップを用いたチップ上の応力の測定を行った.われわれの以前の研究⁽⁸⁾によれば、樹脂封止したパッケージ内部のチップの応力は、ピエゾチップを用いて測定することによって得られたチップ上の応力が0となる点、応力フリー温度を基準とした線形熱応力解析によって、応力フリー温度より低い温度でのチップ上の応力を精度よく見積もることができる.このため、応力フリー温度を求めるためと解析精度のおおまかな検証を行うためにピエゾテストチップを用いて、樹脂封止したパッケージ内部のチップ上の応力を測定した.

測定には、図 11 に示すピエゾ抵抗ゲージが配置された模擬チップを用いた. 模擬チップには、2 つのピエゾ 抵抗ゲージ (GaugeX1, Y1) が形成されている. ピエゾ抵抗ゲージも、Si 単結晶座標系で<001>面に形成されて いるため、有限要素法モデルを表す便宜上、<110>を x 軸に、<10>を y 軸にとった座標を用いる. 試験片は、 正方形の形状のため、GaugeX1 と Y1 の計測値は、ほぼ等しいので、今回は GaugeX1 の計測値で代表させた. 使用した模擬チップは、ゲージの長手方向以外の応力成分(長手方向に垂直な成分や、せん断成分) に関する 感度は小さく、長手方向に比較して約 1/100~1/10 であるが、本模擬チップでは、これらの成分を分離できない ため、測定値に 1/100~1/10 程度の誤差を原理的に含んでいる. 図 12 に、模擬チップを用いて作成した積層構造パッケージのサンプル概要を示す. 三次元構造の複雑な応力 を実現し、それを測定するために、模擬チップの上に実際の積層構造のパッケージと同じメモリーチップを実 装したサンプルを作成した. 図 12(a)に平面図、図 12(b)に断面構造図を示す. メモリーチップの搭載位置を変 更することで、非対称な三次元構造のパッケージを模擬し、ピエゾ抵抗部の応力値が、どのように変化するか を計測した. すなわち、実際の積層構造パッケージに近い応力分布を模擬した. メモリーチップ搭載位置は、 図 12(c)に示す 4 種類(Case①~Case④)と、ダミーチップを搭載しないサンプル(Case⑤)の計 5 種類を作成 し応力値を測定した.



Fig. 11 Configuration of piezoresistive gauges on a test chip.



Fig. 12 Schematic of a test package.

5・1・2 応力値の測定方法について

ピエゾ抵抗チップを用いた応力値の測定は、引用文献⁽⁸⁾⁽¹²⁾⁻⁽¹⁶⁾と同じ手法・ピエゾチップを用いた.今回のテストチップの応力の算出には、温度変化によって応力感度 *S* とピエゾ抵抗が変化する補正項を加えた次式を用いて算出した.

$$\frac{R_{(T)} - R_{0(T0)}}{R_{0(T0)}} = (\beta_1 (T - T_0) + \beta_2 (T - T_0)^2) + (1 - \alpha (T - T_0))(S_{(T0)} \times \sigma_{(T)})$$
(5)

ここで、 $R_{(T)}$ は実装工程後の抵抗値、 $R_{o(T0)}$ は実装工程前の抵抗値、 σ は1軸の応力で、 T_0 およびTは、それぞれ R_0 および Rの測定時の温度である.

今回使用したテストチップのピエゾ抵抗効果に関するデータは、テストチップの製造業者により測定された ものを用いた. 応力感度 *S*, その温度依存性を表すパラメータ α , ピエゾ抵抗の温度依存性を表すパラメータ β_l , β_2 を表4に示す.

S	: Stress sensibility	-1.30 $\times 10^{-4}$ /MPa
α	: Thermal dependency coefficience of stress sensibility	$-1.00 \times 10^{-8}/K$
β_1	: Thermal dependency coefficience of piezoresistance	$1.52 \times 10^{-3}/K$
β_2	: Thermal dependency coefficience	$1.44 \times 10^{-7}/\text{K}^2$

Table 4 Calibration parameters of a piezoresistive gauge.

5・1・3 モデリング方法と評価結果

図 13 にパッケージ内残留応力推定のための FEM モデルの概要を示す.解析には、MARC2008 を使用し有限要素 法モデルは、8 節点 Solid 要素を用いた.パッケージ構成材料の物性値は、実際の材料について測定した.貯蔵 弾性率(以下,ヤング率と呼ぶ)の測定には、動的熱機械測定装置 DMA (Dynamic Mechanical Analyzer)を用 い、線膨張係数(以下,CTE と呼ぶ)の測定には、熱機械測定装置 TMA (Thermo-Mechanical Analyzer)を用 い、がずれも引張荷重下で測定を行った.TMA による測定は、昇降温速度 10.0K/min、引張荷重 0.049N で行い、DMA による測定条件は、昇温速度 2.0K/min の引張荷重 0.049N、加振周波数 10Hz で行った.ビルドアップ基板は、 表層にレジスト材、配線層には銅箔、各層間にはコア材、ビルドアップ材と呼ばれるガラスクロス繊維が織り 込まれている絶縁材料を用いている.測定は基板製造工程で発生している残留応力を解放させるため、室温~ 523.15K の温度サイクルでの測定を 2 回行い、2 回目の値を用いた.ダイボンディングフィルムは、厚さが薄 く測定用サンプルの作成ができなかったため、材料メーカのカタログ値を用いた.

図 14(a), (b)に模擬チップ以外の構成材料のヤング率と, CTE の温度依存性の値をそれぞれ示す. 模擬チップの CTE は、3.5×10⁻⁶/K, 剛性定数は表1の値を用いた.

次に、実装したチップ表面の応力フリー温度を実際のサンプルを用いて測定した.樹脂のガラス転移点付近 以上の温度では、粘弾性や塑性あるいはクリープによる残留応力の緩和が生じていることが考えられる.そこ で本研究では、模擬チップの実測から定義される応力フリー温度を解析の基準温度とする線形解析を行った. まず応力フリー温度を決定するために残留応力の温度依存性を計測した.測定結果を図 15 に示す.計測は恒温 槽の中で行い、式(5)を用いてピエゾ抵抗チップの抵抗値の変化より応力を求めた.実験から応力フリー温度は モールド樹脂のガラス転移点近傍の 388.15K~403.15K にあることがわかった.次に、算出された応力フリー温 度を用いて線形解析を行って求めた応力(σ_{x})と、測定した応力値を比較した結果を図 16 に示す.これより、 403.15K の場合に精度よくモデリングができていることがわかった.メモリーチップがピエゾチップとの相対位 置より 0.21mm 以上離れる Case②③④の実験水準で、ピエゾチップの反りが増加するため残留応力は増加し、ダ ミーチップを搭載しない Case⑤と、ほぼ同じ値を示すこともわかった.よって、このモデリング方法にて、実 際の積層構造パッケージの残留応力値を算出することにした.



(a) 3D FEM model with molding resin.(b) 3D FEM model without molding resin.Fig. 13 3D FEM model.



(a) Young's modulus.

(b) Coefficient of thermal expansion.

Fig. 14 Temperature dependence of material properties.



Fig. 15 Temperature dependence of residual stress.



Fig. 16 Comparison between experimental measurements and numerical results.

5・2 評価結果と考察

5・1章で用いたシミュレーション条件でチップサイズ・位置のみを変更したモデルで実際の積層構造パッケ ージのチップ表面の残留応力値を算出した.例として図17(a)に,不良が最も多かった図1(b)の case④と不良 が全く発生しなかった Case⑥のチップ角部の応力分布を示す.図17(a)の横軸はアナログ回路エリアの中心(上 チップ角部に対して垂直方向)を通る節点間の位置で,上チップ角部を原点0とし,チップ下部をプラス方向, チップ外部をマイナス方向に定義した座標xで表示している.縦軸は角部近傍の応力値を示している.図17(b) にチップ角部の応力特異場の結果を示す.ズーミング解析による 50nm のメッシュサイズでも樹脂封止による熱

応力に起因する応力項である式(3)の σ_{i0} が無視できない値であったため、チップ角部の各応力の変曲点の応力値 をσωとして,応力特異場を算出した.チップ下部とモールド樹脂側の計6応力成分から特異性の指数を算出し, その平均値(λ-1=-0.3)を用いてプロットした.全ての応力でFEMから算出した応力値とほぼ相関が取れている. よって,本手法で求めた応力値からピエゾ抵抗マトリックスを用いて電流変化率を求めた.結果を図18に示す. 横軸は上チップ角部からの距離で上チップ下部とモールド側ともに同じ座標軸で示した。縦軸は電流変化率を 示す. 実験で不良が最も多かった Case④と不良発生が無かった Case⑥の pMOS, nMOS の電流変化率を表してい る. 実際のデバイスの回路には、複数の異なるサイズの pMOS, nMOS が複雑に回路に組み込まれて配置されてい るため特性が変動したトランジスタを特定し、そのトランジスタの特性を測定することはできない、そのため、 ピエゾ抵抗マトリックスを用いて算出した電流変化率は、実験水準の相対比較として用いた.特性変動が発生 しなかった Case⑥の電流変化率の値を用いて, pMOS は 0.38%, nMOS は-5.3%を特性変動しないしきい値と仮定 した. 上チップ角部から 1µm を超える Case④の pMOS, nMOS の電流変化率は、特性変動が発生しなかった Case ⑥の値以下になり実験結果と異なる解析結果となった.しかし、上チップ角部からほぼ 500nm 以内になると、 Case④の pMOS の電流変化率が仮定したしきい値の 0.38%を超え, さらに上チップ角部に近づくほど大きくなり Case④で特性変動が発生した実験結果と同じ傾向になることがわかった.一方, nMOS の方は、上チップ角部に 近づくほど電流変化率が小さく特性変動が起こらない傾向になることも分かった.以上の結果より、実際の特 性変動を発生させたトランジスタは pMOS の可能性が高く、トランジスタの特性変動を予測するためには、チッ プ角部の応力特異場を考慮する評価手法が有効なことがわかった.



(a) Mechanical stress around a chip edge.

(b) Stress singular field around a chip edge.



Fig. 17 Stress distributions around a chip edge.

Fig. 18 Current changing rate with the distance from the edge of a dummy chip.

-86-

4章で述べたダミーチップを用いた4点曲げ実験の解析結果と、本章での実パッケージを用いた実験結果の解 析結果から、上チップ端部の位置が、ほぼトランジスタの直上、具体的には500mm以内の近傍に配置された場 合にチップ角部の応力特異場で特性変動が発生するものと推定できた.このことは、実験で行ったアナログ回 路エリア外に実装された実験 Case⑤, Case⑥では、全く動作不良が発生しないこととも一致している.次に、 不良発生数の差異について考察した.図19(a)にアナログ回路エリアの回路ブロック図と、上チップ搭載位置

(Case①~Case④)を示す.図19(b)に過度電流による異常発振の不良が発生したPLL回路のブロック図を示す. PLL 回路の特性変動が発生する要因としては、VCO 回路そのものが変動した場合と、図 19(b) に示す LPF, Divider, ChargePump などの周辺回路からの入力信号が変動した場合も動作不良は発生する. そのため, 今回の実験では, Case④が2種類(VCO, ChargePump)の回路ブロック上に上チップが実装されていることになり、回路変動要因 の主要因となる特定のトランジスタの 500nm 以内にチップ角部が実装される可能性が一番高くなるため,不良 数が一番多かったと推測した.残りの実験水準については、Case③はチップ角部が LPF 回路上にあるため、Case ①, Case②は、チップ角部が Divider 回路上にあるため動作不良が発生したと推測した. アナログ回路ブロッ クの設計は、回路部の設計ルール、詳細な回路情報は機密情報として入手できなかったため、Divider の回路ブ ロックの位置は不明であったが、Case③, Case④の実験結果より、図 19(a)に示す Case①, Case②のチップ角 部近傍に Divider 回路の動作不良を起こすトランジスタがあることは容易に推定できる. なお全実験水準にて 不良発生率が低いのは、上チップの角部近傍特異性応力によりトランジスタの特性が不良を引き起こすほどに 変動する範囲が非常に狭いために、たまたま上チップの角部が、チップマウンターの搭載精度(±50µm)のバ ラつきにより、特定のアナログ回路のトランジスタの上部に位置したときだけに不良が発生し、アナログ回路 の上に上チップが載っていても、上チップの角部がアナログ回路上のトランジスタの上に位置しなければ不良 は発生しないためである.本研究により、積層構造パッケージの設計では、チップ角部の応力特異性を考慮し、 アナログ回路エリア内のトランジスタ直上に応力の特異点となる上部チップの角部が位置しないように配慮す る必要があることがわかった.



Fig.19 Function block on an analog circuit.

6. 結言

本研究では、複雑な三次元構造の半導体デバイスの電気特性変動を予測する手法として、チップ角部の応力 特異場を考慮し、その値を元に、ピエゾ抵抗マトリックスを用いて電流変化率を求める方法を提案した.その 結果、以下の知見を得ることができた.

(1) 平板形状のシリコン試験片に比べ、ダミーチップを平板チップの上に実装した試験片は、4 点曲げの 荷重に対してトランジスタの電流変動が発生しやすいことが実験で証明できた.また、その曲げ荷重に よる上チップ角部近傍の応力分布の評価には、チップ角部の応力特異場を考慮し、この特異性応力にピ エゾ抵抗マトリックスを適用することで、トランジスタの電流変動を予測できることがわかった.

- (2) 三次元積層構造のパッケージ内において、積層したチップ角部の特異性応力が、アナログ回路の動作 不良を引き起こす現象を、模擬チップをアナログ回路の上に搭載したモデル積層構造パッケージを用い て再現することができた。その実験結果と、応力特異場とピエゾ効果マトリックスを用いた電流変化率 の算出結果を比較することで、アナログ回路に発生する不良の原因を推定することができた。よって、 本研究で提案するようなチップ角部の応力特異性を考慮した評価手法が積層構造パッケージの不良発 生の改善に有効であることが示唆された。
- (3) アナログ回路を有するチップを用いた積層構造パッケージの設計においては、チップ搭載機器の性能 まで考慮し、アナログ回路エリア内のトランジスタ直上に応力の特異点となる上部チップの角部が位置 することが無いように配慮する必要があることがわかった.

文 献

- (1) Charles, S, S., "Piezoresistive effect in germanium and Silicon", Physical Review, Vol.94, No.1(1954), pp.42-49.
- (2) Arthur, T.B. and Richard, C.J., "Silicon piezoresistive stress sensors and their application in electronic packaging", *IEEE Sensors Journal*, Vol.1, No.1(2001), pp.14-30.
- (3) Jeffrey, C.S. and Richard, C.J., Jefffrey, C.S., Kevin.J.O., "Piezoresistive Characteristics of Short-Channel MOSFETs on (100)Silicon", *IEEE Transactions on electron devices*, Vol.48, No.9(2001), pp.2009-2015.
- (4) 吉見 信, "最近の SOI (Silicon-on-insulator) 素子技術", 応用物理, Vol.70, No.2(2001), pp.165-pp168.
- (5) Ali, H., "Stress-induced parametric shift in plastic packaged device", *IEEE Transactions on Components, packaging and manufacturing technology,* Vol.20, No.4(1997), pp.458-462.
- (6) 小金丸 正明,池田 徹,宮崎 則幸,友影 肇, "樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性 変動評価と電子移動度モデルに関する検討",電子情報通信学会論文誌(C), Vol.J91-C, No.4(2008), pp.257-272.
- (7) 三浦 英生,西村 朝雄, "パッケージング応力起因の半導体素子変動",日本機械学会論文集 A 編, Vol.61, No.589(1995), pp.1957-1964.
- (8) 小金丸 正明,池田 徹,宮崎 則幸, "ピエゾ抵抗テストチップと有限要素法を用いた樹脂封止に起因する半 導体チップ表面の残留応力評価",エレクトロニクス実装学会誌, Vol.9, No.3(2006), pp.186-194.
- (9) 服部 敏雄, 西村 朝雄, 村上 元, "応力特異場パラメータを用いた半導体プラスチックパッケージの信頼性 評価", 材料, Vol.39, No.443(1990), pp.1101-1105.
- (10) 野村 吉昭,池田 徹,宮崎 則幸, "熱応力下の異方性異種材界面接合端部の特異応力場解析",日本機械学会論 文集 A 編, Vol.74, No.737(2008), pp. 37-44.
- (11) Nomura, Y., Ikeda, T and Miyazaki, N., "Stress Intensity Factor Analysis at an Interfacial Corner between Anisotropic Bimaterials under Thermal Stress", *Engineering Fracture Mechanics*, Vol. 76, 2009, pp. 221-235.
- (12) 三浦 英生,西村 朝雄,河合 末男,西 邦彦, "IC プラスチックパッケージ内応力測定素子の開発とその応用",日本機械学会論文集 A 編, Vol.53, No.493(1987), pp.1826-1832.
- (13) 三浦 英生,西村 朝雄,河合 末男,西 邦彦, "IC プラスチックパッケージ内シリコンチップ残留応力の検 討",日本機械学会論文集 A 編, Vol.55, No.516(1989), pp.1763-1770.
- (14) 三浦 英生, 西村 朝雄, 河合 末男, 村上 元, "IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響", 日本機械学会論文集 A 編, Vol.56, No.522(1990), pp.365-371.
- (15) 三浦 英生, 西村 朝雄, 河合 末男, 西 邦彦, "IC プラスチックパッケージ内シリコンチップ熱応力の検討", 日本機械学会論文集 A 編, Vol.57, No.539(1991), pp.1575-1580.

- 88 -

(16) Phase5 仕様書(2005),株式会社日立超 LSI システムズ.