

電子パッケージの反りが示す熱履歴による ヒステリシス挙動の解析手法の開発

尾崎 秋子*, 池田 徹*, 河原 真哉**, 宮崎 則幸**,
畑尾 卓也***, 中井戸 宙***, 小金丸 正明****

Development of Analysis Methodology to Predict the Hysteresis of the Warpage of an Electronic Package during a Thermal History

Akiko OZAKI*, Toru IKEDA*, Shinya KAWAHARA**, Noriyuki MIYAZAKI**,
Takuya HATAO***, Hiroshi NAKAIDO***, and Masaaki KOGANEMARU****

* 鹿児島大学大学院理工学研究科 (〒 890-0065 鹿児島県鹿児島市郡元 1 丁目 21-40)

** 京都大学大学院工学研究科 (〒 615-8540 京都市西京区京都大学桂)

*** 住友ベークライト株式会社 (〒 321-3231 栃木県宇都宮市清原工業団地 20-7)

**** 福岡県工業技術センター (〒 818-8540 福岡県筑紫野市上古賀 3-2-1)

* Graduate School of Science and Engineering, Kagoshima University (1-21-40, Korimoto, Kagoshima-shi, Kagoshima 890-0065)

** Graduate School of Engineering, Kyoto University (Kyotodaigakusaura, Nishi-Kyo ku, Kyoto 615-8540)

*** SUMITOMO BAKELITE CO., Ltd. (20-7, Kiyohara Kogyodanchi Utsunomiya, Tochigi 321-3231)

**** Fukuoka Industrial Technology Center (3-2-1, Koga, Chikushino, Fukuoka 818-8540)

電子パッケージの反りが示す熱履歴によるヒステリシス挙動の解析手法の開発

尾崎 秋子*, 池田 徹*, 河原 真哉**, 宮崎 則幸**,
畑尾 卓也***, 中井戸 宙***, 小金丸 正明****

Development of Analysis Methodology to Predict the Hysteresis of the Warpage of an Electronic Package during a Thermal History

Akiko OZAKI*, Toru IKEDA*, Shinya KAWAHARA**, Noriyuki MIYAZAKI**,
Takuya HATAO***, Hiroshi NAKAIDO****, and Masaaki KOGANEMARU****

* 鹿児島大学大学院理工学研究科 (〒 890-0065 鹿児島県鹿児島市郡元 1 丁目 21-40)

** 京都大学大学院工学研究科 (〒 615-8540 京都市西京区京都大学桂)

*** 住友ベークライト株式会社 (〒 321-3231 栃木県宇都宮市清原工業団地 20-7)

**** 福岡県工業技術センター (〒 818-8540 福岡県筑紫野市上古賀 3-2-1)

* Graduate School of Science and Engineering, Kagoshima University (1-21-40, Korimoto, Kagoshima-shi, Kagoshima 890-0065)

** Graduate School of Engineering, Kyoto University (Kyotodaigakukatsura, Nishi-Kyo ku, Kyoto 615-8540)

*** SUMITOMO BAKELITE CO., Ltd. (20-7, Kiyohara Kogyodanchi Utsunomiya, Tochigi 321-3231)

**** Fukuoka Industrial Technology Center (3-2-1, Koga, Chikushino, Fukuoka 818-8540)

概要 電子パッケージの反りは強度信頼性の見地から重要な要因であるが、熱履歴を受けた際にヒステリシスを示すことが少なくない。本研究では、PoP (Package on Package) の Bottom Package を対象として、熱履歴を受けた際の反りのヒステリシスの解析手法を開発した。まず、簡単な為に Si チップとシリカ含有エポキシ樹脂である Underfill (UF) 樹脂の二層模擬パッケージを作製し、1 往復の熱サイクルを受けた際の反りを計測し、熱履歴による反りのヒステリシスを生じることを確認した。そこで、UF 樹脂の熱負荷前後の線膨張係数と緩和せん断弾性率を Thermo mechanical analyzer (TMA) と Dynamic mechanical analyzer (DMA) を用いて測定した。この結果、熱負荷前後で緩和せん断弾性率の平衡弾性率が変化することを確認した。そこで、解析途中で緩和せん断弾性率のマスターカーブを変化させて熱サイクルに伴う反りの変化を解析したところ、計測値と一致した。次に模擬 PoP パッケージの反りを解析した。その結果、ほぼ実測に近い反りの解析結果を得ることができた。

Abstract

Electronic plastic packages often show hysteresis of warpage during a thermal cycle. We used finite element analysis (FEM) to analyze the thermal hysteresis of the bottom package of a package-on-package (PoP) system considering the changes in the viscoelastic material properties of the resin due to the thermal history. For the sake of ease, we first analyzed a two-layered test package consisting of a Si chip and underfill (UF) resin, which is epoxy resin containing silica particles. Before analysis, we measured the actual viscoelastic material properties and coefficient of thermal expansion of the UF resin before and after thermal loading using a dynamic mechanical analyzer (DMA) and a thermo-mechanical analyzer (TMA). We changed the viscoelastic material properties during the analysis. We could accurately analyze the thermal hysteresis of the two-layered test chip. Then, we analyzed a test package that imitates the bottom package of a PoP system. We assumed the substrate to be a multi-layered material made of the core material, prepreg, solder-resist resin and a copper layer. In this analysis, the calculated warpage did correspond quantitatively with the measured warpage.

Key Words: Warpage, Hysteresis, Viscoelastic, Simulation

1. 緒言

近年、半導体技術は前工程である半導体上の配線の微細化により、配線間のトンネル効果によるリーク電流が無視できなくなる、いわゆる量子力学的な物理限界に近づいていることから、後工程である実装技術の重要性が高まってきた¹⁾。高密度実装技術は、機器の小型化・軽量化に寄与するだけでなく、高性能化や低消費電力化、低コスト化にも大きく貢献するため、スマートフォンやタブレット端末などのモバイル機器に応用されている²⁾。半導体 LSI の実装方法 (半導体パッケージング) もさまざまな研究・開発を経て小型化・高密度化されてきた。近年、その集積

方法は従来の二次元平面上のものから、三次元型の積層構造へと発展している^{3),4)}。例えば、TSV (Through Silicon Via) を用いて半導体チップ同士を 3 次元的に接続する技術は、実装面積の低減に加え、バス幅の拡大や配線長の短縮により大容量伝送や低消費電力を可能にし、また 2 つの半導体チップを積層した PoP (Package on Package) は、パッケージレベルで検査され動作保証された個々のパッケージを組み合わせるため、チップ不良に起因する最終歩留まりロスの低減やアップグレードが容易であるという利点がある^{1),4)}。こうした積層構造を取り入れることで、半導体パッケージのさらなる多機能と小型化の実現を可能にしている。

PoP のパッケージは、ボトムパッケージと呼ばれる下側

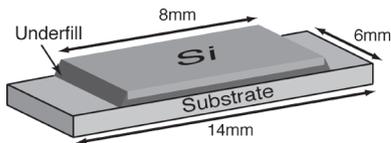


Fig. 1 Test package that mimics the bottom package of PoP

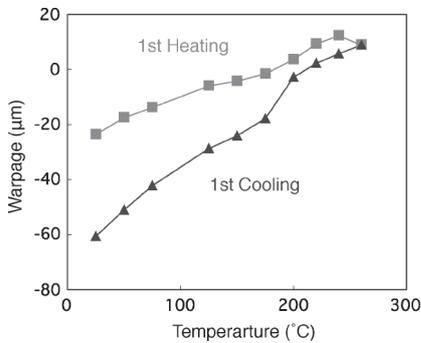


Fig. 2 Measured warpage of the test package of PoP during a thermal cycle

のパッケージが線膨張係数 (Coefficient of thermal expansion: CTE) の異なる材質から構成される上下非対称構造であることや、パッケージ全体にわたるモールドが行えないためパッケージ全体にモールドをかぶせることができるトップパッケージに比べて熱環境下で反りやすいことがわかっている⁵⁾。そのため、上下パッケージの反り量の違いによりはんだ接合部ではく離が生じ、製品性能に大きな影響を与えることがある。そこで、信頼性の高い材料開発を行う必要がある。しかし、LSIの微細化の加速により、信頼性確認のための評価技術の確立や、信頼性試験のための時間が不足し、LSIの信頼性低下を引き起こしている。評価時間の不足は、他のデバイスの試作結果やシミュレーション技術により補うケースが増えているが、シミュレーション結果が実際の変形挙動と一致しない場合があり、その高度化が望まれている。こうしたシミュレーション技術としては有限要素解析が広く用いられており^{6)~8)}、温度サイクルに伴う反り量を正確に予測する技術が望まれているが、未だに十分な手法は確立されていない^{9)~11)}。

本研究では、有限要素法を用いた反り量を正確に予測する解析技術の構築を目指す。そのために、PoPのボトムパッケージを模したFig. 1のような模擬パッケージを用意し、これを対象に解析精度を検証した。Fig. 2に反り量の実測結果を示す。ここで示す反り量とは、基板側の中央部で測定した、チップの中央部の裏面からチップ端部の裏面までの変位差として定義した。したがって、常温付近の負の反り量はSiチップを上にして凸形状であることを示し、高温部での正の反り量は凹形状であることを示している。これに対しFig. 3のような有限要素モデルを作成し、汎用有限要素法のMSC. MarcTMを用いた粘弾性解析を行ったが、単に構成材料の粘弾性を考慮しただけでは、Fig. 4のように

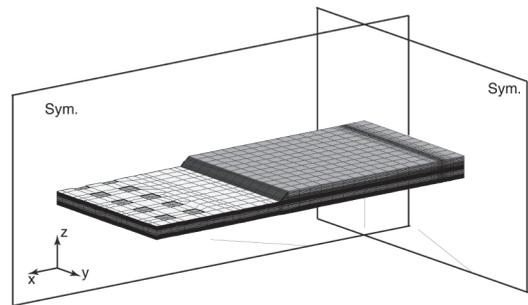


Fig. 3 The FEM model of the test package of PoP

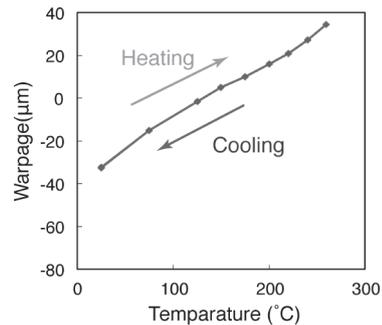


Fig. 4 Analyzed warpage of the test package using the usual viscoelastic FEM

反りヒステリシスが表現できていない。これは樹脂の硬化による粘弾性物性の変化が原因であると考えられる¹²⁾。そこで本研究では熱履歴による樹脂の粘弾性物性の変化を考慮した解析を行い、パッケージの熱サイクル時の反りのヒステリシス挙動を再現できる解析手法の確立を目的とした。

2. 粘弾性物性の測定

本研究では、PoPのボトムパッケージを模したFig. 1のような模擬パッケージを作製し、これを対象に計測・解析を行った。Fig. 5に模擬パッケージが受ける熱履歴と反り測定を行ったタイミングを示す。反りは、1st Heating前(以後、単に1st Heatingとする)と1st Cooling後(以後、単に1st Coolingとする)およびそれ以降で異なっていることから、1st Heatingの間に樹脂の物性が変化したことに反りヒステリシスの主要な原因があると考えた。そこで、最も粘弾性挙動が顕著であるUnderfill (UF)樹脂の粘弾性特性に注目した。そのために1st Heatingと1st CoolingのUF樹脂の緩和せん断弾性率および線膨張係数を測定した。ポアソン比については、今回対象とするようなパッケージの反り量に与える影響は小さいと考えられ、0.3で一定とした。本解析では、樹脂物性の熱履歴による変化を考慮するため、有限要素解析ソフトに粘弾性物性を解析途中で変更することのできるCOMSOLを使用した。COMSOLでは、線膨張係数として瞬間線膨張係数ではなく平均線膨張係数を入力する仕様となっているため、平均線膨張係数を求めて使用した。平均線膨張係数は(1)式で求めることができる。

$$\bar{\alpha}(T) = \frac{\epsilon^{th}}{(T - T_{ref})} = \frac{1}{(T - T_{ref})} \int_{T_{ref}}^T \alpha(T) dT \quad (1)$$

ここで、 $\bar{\alpha}$ は平均線膨張係数、 ϵ^{th} は熱ひずみ、 T_{ref} は参照温度である。本解析では応力フリーとなる温度を初期温度かつ参照温度とした。本研究で対象とするような半導体パッケージにおいては、はんだのリフロー行程や樹脂封止行程による残留応力が多分に存在するため^{11),13)}、半導体パッケージは室温下で反りが生じていることが多い。ここ

で無応力状態である応力フリー温度を室温とすると、この残留応力を無視することになる。そこで本解析では反り量が0となる温度を応力フリー温度とした。TMA (Thermo mechanical analyzer) を用いてUF樹脂の熱負荷前後の線膨張係数を測定し、求めたUF樹脂の平均線膨張係数を Fig. 6 に示す。

また、計測から得られたUF樹脂の緩和せん断弾性率のマスターカーブを Fig. 7 に、シフトファクターを Fig. 8 に示す。Fig. 7 は横軸を周波数にとっているが、横軸に $1/\omega$

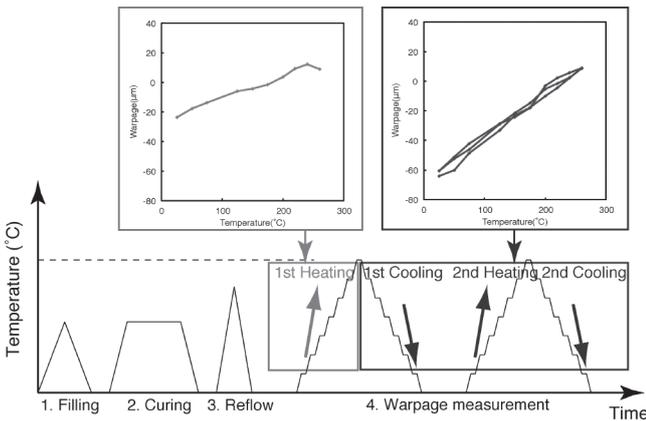


Fig. 5 Thermal history of the test package

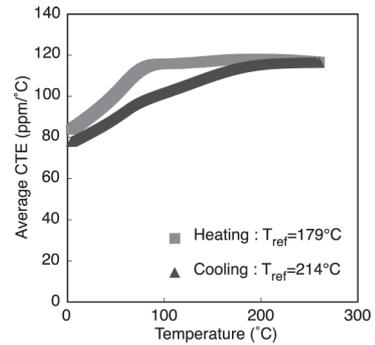
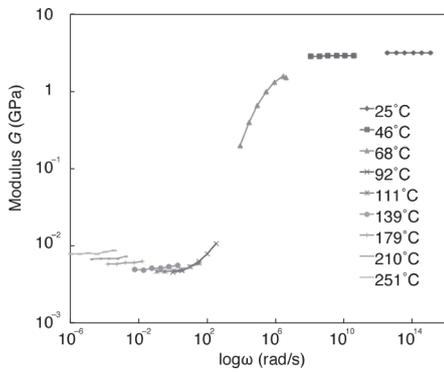
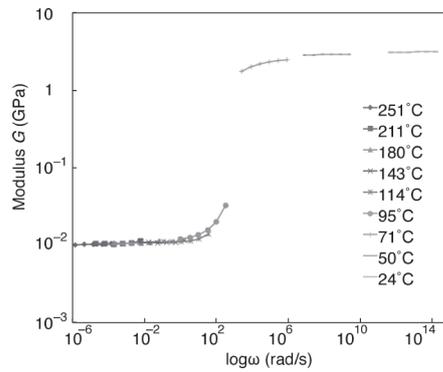


Fig. 6 Average CTEs of UF resin before the first heating and after the first cooling

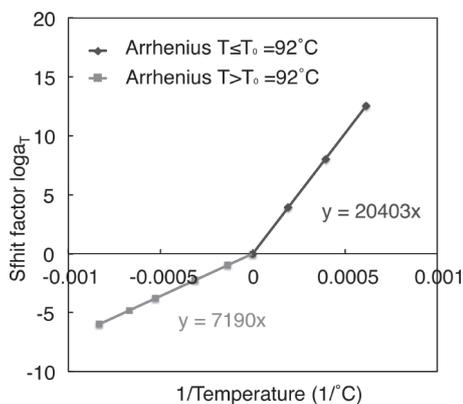


(a) Before the 1st Heating

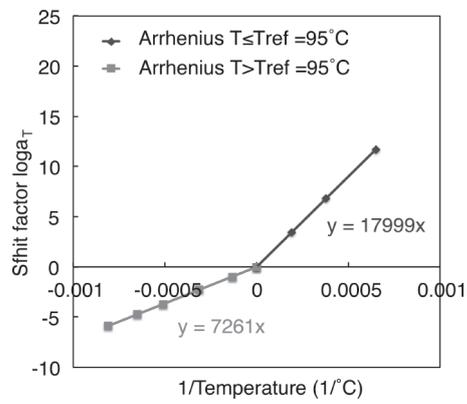


(b) After the 1st Cooling

Fig. 7 Master curves of relaxation shear moduli before the first heating and after the first cooling



(a) Before the first heating



(b) After the first cooling

Fig. 8 Shift factor of relaxation shear moduli before the first heating and after the first cooling

をとると横軸を緩和時間にとることに相当する。時間-温度換算則の式として W.L.F 則や Arrhenius 型のものがある¹⁴⁾。W.L.F 則は無定形高分子に対して、ガラス転移温度以上の高温域ではよく一致する経験則であるが、低温域では一致性が悪い。そのため、本解析では Arrhenius 型のシフトファクターを使用した。以下に Arrhenius 型の時間-温度換算則の式を示す。

$$\log a_T = \beta \frac{\Delta H}{R} \left(\frac{1}{T} - \frac{1}{T_0} \right)$$

$$\text{1st Heating: } \beta \frac{\Delta H}{R} = \begin{cases} 20,403 & T \leq T_0 \\ 7,190 & T > T_0 \end{cases} \quad (2)$$

$$\text{1st Cooling: } \beta \frac{\Delta H}{R} = \begin{cases} 17,999 & T \leq T_0 \\ 7,261 & T > T_0 \end{cases}$$

ここで、 T_0 は参照温度であり、1st Heating と 1st Cooling でそれぞれ 92°C、95°C とした。Fig. 7 の角速度が低速になった部分が、緩和時間が長時間経過したことに相当し、その部分でほぼ一定になった弾性率を平衡弾性率と呼ぶ。Fig. 7 に示すように、1st Heating の緩和せん断弾性率のマスターカーブの平衡弾性率は高温域で徐々に変化している。これは、測定中に硬化が進んだためと考えられ、硬化が無ければ最低値で一定になると考えられる。また 1st Heating での最も低い平衡弾性率は 4.57 (MPa) と、1st Cooling の 10.0 (MPa) と比べて半分以下となっている。

3. 粘弾性特性と硬化度の関係

粘弾性特性と硬化度の間には密接な関係があり、硬化度の変化により粘弾性も変化することはいくつかの研究で報告されている^{15)~17)}。緩和せん断弾性率の平衡弾性率と硬化度の関係は (3) 式で示されることが知られている^{18),19)}。

$$\frac{G_r^f}{G_r^f} = \left(\frac{C^2 - C_{gel}^2}{1 - C_{gel}^2} \right)^{\frac{8}{3}} \quad (3)$$

ここで、 G_r^f は硬化が完了した時点での平衡弾性率を、 C_{gel} はゲル化点での硬化度である。ただし、ゾルの場合は平衡弾性率を定めることができないため、ゲル化した樹脂に限る。Fig. 5 の熱履歴を与えた際の硬化度は、Kamal 式に Differential scanning calorimetry (DSC) による測定結果をフィッティングすることにより推定した²⁰⁾。式 (3) に Fig. 5 中の 1st Heating の前の硬化度である 0.995 と、ゲル化点の硬化度 0.8 を代入すると右辺の値は 0.928 となる。一方で Fig. 7 中の 1st Heating と 1st Cooling の平衡弾性率の比は 0.454 であり、上式から算出される値と大きく異なっている。このことは硬化度が 1 に近い領域では、上式の関係が当てはまらないことを示唆していると考えられる。言い換えると硬化率が 0.995 という高い硬化率から硬化率 1.0 の完全硬化の間にも架橋反応の進行によって、平衡弾性率は大きく上昇することを示している。

4. 熱履歴による粘弾性物性変化を考慮した有限要素解析

4.1 UF 樹脂および Silicon チップからなる二層構造体の解析

本節では、Fig. 9 に示すような UF 樹脂および Si チップからなる簡単な二層構造体を作製し、模擬パッケージと同様の熱履歴を与え、通常の粘弾性物性を入れた場合と熱履歴を考慮した粘弾性物性を入力した場合を比較した。二層構造体に対して行った反りの計測結果を Fig. 10 に示す。ここでの反りは、チップ側から測定した、チップ中央から端部までの変位差である。よって、負の値は Si チップを上にして凸型に反っていることを示している。

まず、通常の粘弾性を考慮して解析した。解析に与えた熱履歴を Fig. 11 に示す。UF 樹脂の粘弾性物性には 2 章で



Fig. 9 Si-UF two-layered specimen

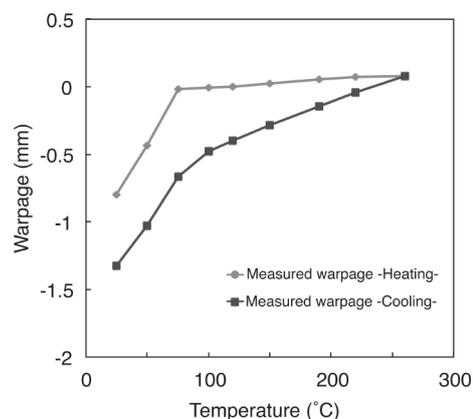


Fig. 10 Measurement warpage of Si-UF two layered specimen

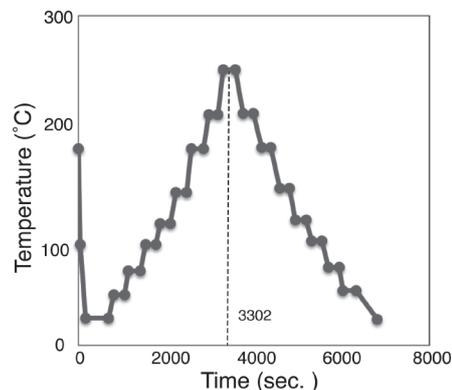


Fig. 11 Thermal history for the finite element analysis

算出した Fig. 7 の 1st Cooling の値を使用し、Si チップについては等方弾性体として取り扱い Table 1 の物性を用いる。Marc を用いて作成した有限要素モデルを Fig. 12 に示し、解析結果を Fig. 13(a) に示す。Fig. 4 と同様、1st Heating と 1st Cooling で反りのヒステリシスが表現できていないことが分かる。

Table 1. Material properties of Si

	E (GPa)	CTE (ppm/deg. C)	ν
Si	131	3	0.28

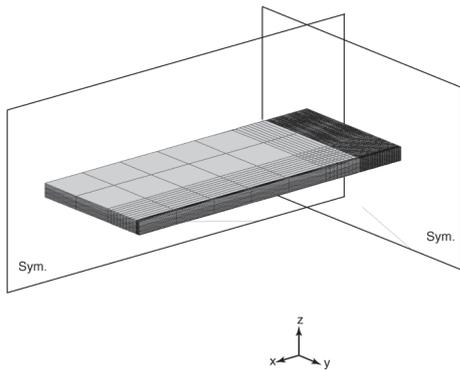
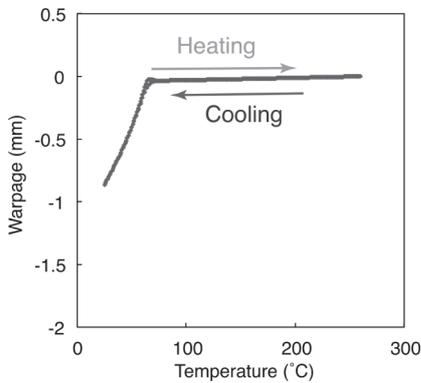
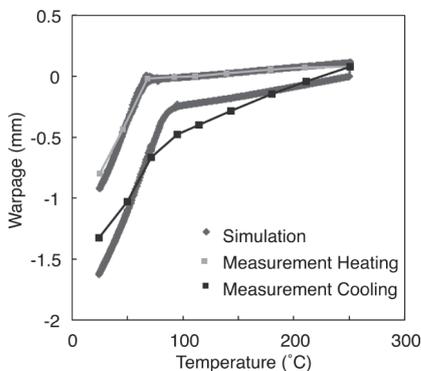


Fig. 12 FE model of Si-UF two layered specimen



(a) Usual viscoelastic FEM



(b) The viscoelastic FEM that takes into account the change of viscoelastic material properties of UF resin during a thermal cycle

Fig. 13 Analyzed warpings of Si-UF two layered specimen

次に、熱履歴による粘弾性物性変化を考慮して解析した。UF 樹脂については第 2 章で算出した 1st Heating と 1st Cooling での緩和せん断弾性率と線膨張係数を使用し、Si チップについては同様に Table 1 のものを使用した。ここで、平均線膨張係数を算出する際の参照温度である応力フリー温度は Fig. 10 の反り量が 0 となる温度、つまり 1st Heating で 111°C、1st Cooling で 225°C とする必要がある。そこで、Fig. 6 の UF 樹脂の平均線膨張係数の参照温度を 2 層材の場合に変えて計算し直した平均線膨張係数を Fig. 14 に示す。この解析では、この平均線膨張係数を用いた。

解析結果を Fig. 13(b) に示す。赤線は 1st Heating の実測結果、青線は 1st Cooling の実測結果、緑線は解析結果を示す。解析結果をみると、1st Heating と 1st Cooling で反りのヒステリシスを表現できていないことが分かる。これより、UF 樹脂の緩和せん断弾性率の加熱による変化が実測と解析結果の乖離の原因であったことが分かる。

4.2 模擬パッケージの有限要素解析

続いて、本研究で対象とする Fig. 1 に示す模擬パッケージを解析した。基板は Fig. 15 に示すような構造となっているが、図にみられるように基板の多くを Core 材が占めている。そこで本節では、模擬パッケージにおいても、UF 樹脂の緩和せん断弾性率の 1st Heating と 1st Cooling での変化を考慮することで、反りのヒステリシスが表現できることを確認するとともに、基板を Core 材単層から構成されると仮

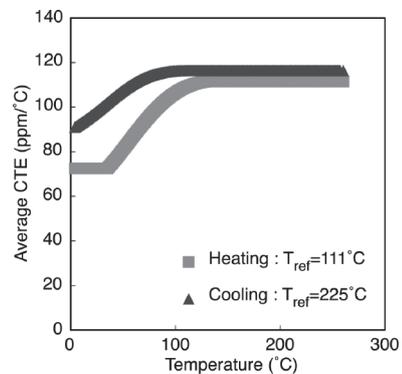


Fig. 14 Average CTEs of UF resin before the first heating and after the first cooling

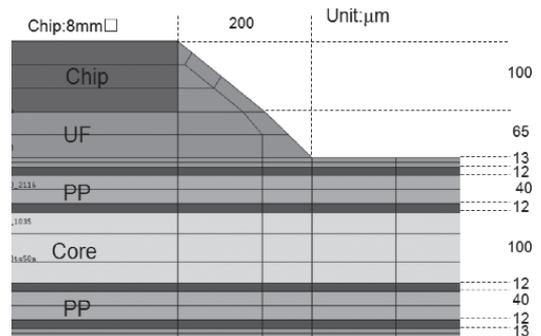


Fig. 15 FE model with multi-layered substrate

定し、その影響を考察する。

COMSOLで作成した1/4対称の有限要素モデルをFig. 16に示す。要素数は1,440である。UF樹脂においては、緩和せん断弾性率については(1)式に示したArrhenius型の温度-時間換算則の式を使用し、平均線膨張係数についてはFig. 2の反り量が0となる点、つまり1st Heatingでは179°C、1st Coolingでは214°Cを参照温度として算出したFig. 6のものをを用いた。ポアソン比は0.3とした。Core材のヤング率および平均線膨張係数をFigs.17, 18にそれぞれ示す。Si

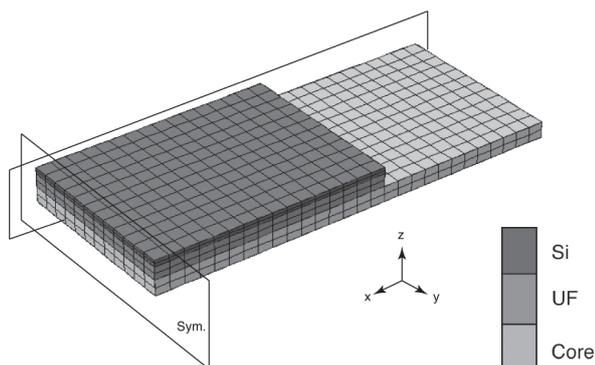


Fig. 16 FE model of the test package with three layered structure

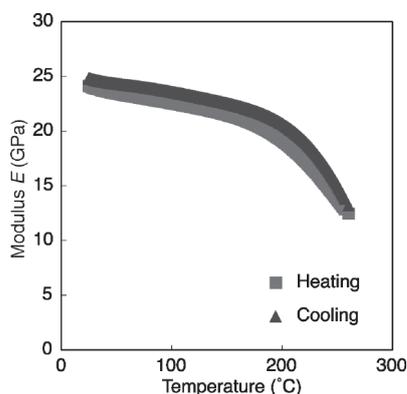


Fig. 17 Young's moduli of Core material before the first heating and after the first cooling

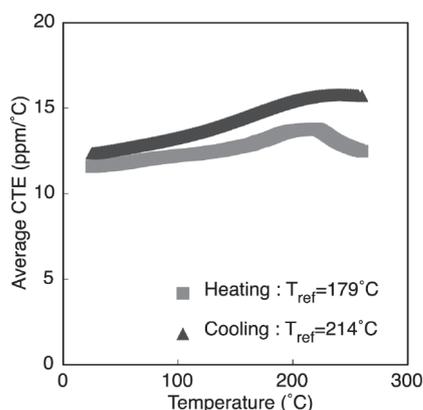


Fig. 18 Average CTEs of Core material before the first heating and after the first cooling

チップのヤング率と線膨張係数はTable 1のものをを使用した。解析における熱履歴は、二層構造体の解析と同じFig. 11のものをを用いた。

解析結果をFig. 19に示す。反りは、実測と同じく基板側のチップ中央部裏面からチップ端部裏面の変位差を求めた。図から分かるように、反りのヒステリシスは表現できているものの反り量が大きく異なっている。これは基板をCore材単層としているためだと考えられる。そこで次節で基板を多層構造として解析した。

4.3 基板の多層構造を考慮した模擬パッケージの有限要素解析

本節では基板を多層構造として解析するとともに、基板を構成する材料の一つであるSolder Resist (SR)樹脂の粘弾性解析に与える影響を考察する。

COMSOLで作成した1/4対称の有限要素モデルをFig. 20に示す。基板の多層構造をモデル化したために要素数が増加し、6,816となった。銅配線層は銅の1枚板として等方弾性体として取り扱い、Table 2の値を用いた。Prepreg材は、等方弾性体と仮定し、ヤング率および平均線膨張係数の温度依存性のみを考慮した。Prepreg材のヤング率と平均線膨

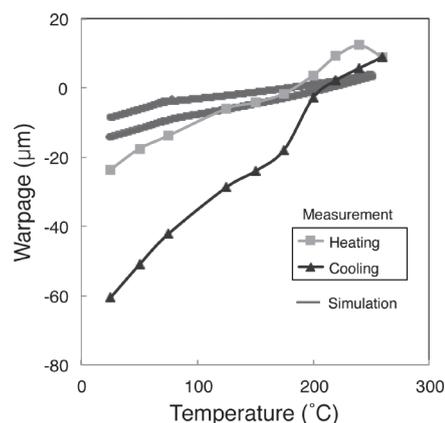


Fig. 19 Analyzed warpage obtained by the three layered model

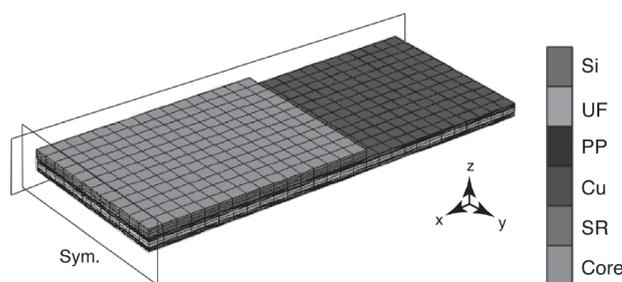


Fig. 20 FE model of the test package with multi layered substrate

	E (GPa)	CTE (ppm/°C)	ν
Cu	65	17	0.343

張係数をそれぞれ Figs. 21, 22 に示す。また, SR 樹脂の粘弾性特性は 1st Cooling 後の値を DMA を使用して測定した。緩和せん断弾性率のマスターカーブを Prony 級数を用いて近似したものを Fig. 23 に, シフトファクターを Fig. 24 に示す。さらに解析に用いた Arrhenius 型の時間-温度換算則を式 (4) に示す。SR 樹脂の平均線膨脹係数を Fig. 25 に示す。

$$\log a_T = \beta \frac{\Delta H}{R} \left(\frac{1}{T} - \frac{1}{T_0} \right)$$

$$\beta \frac{\Delta H}{R} = \begin{cases} 20,000 & T \leq T_0 \\ 18,000 & T > T_0 \end{cases} \quad (T_0 = 130^\circ\text{C}) \quad (4)$$

解析結果を Fig. 26 に示す。ここでは黄色の線は SR 樹脂を弾性体とした場合の結果を, 緑線は SR 樹脂を粘弾性体を

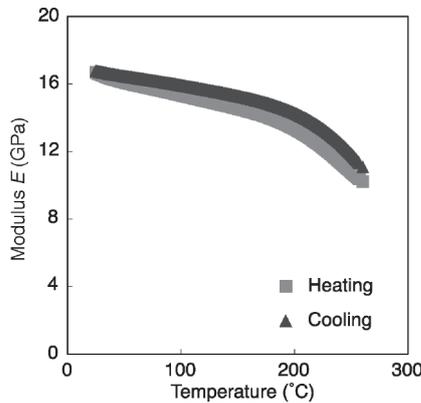


Fig. 21 Young's moduli of the prepreg before the first heating and after the first cooling

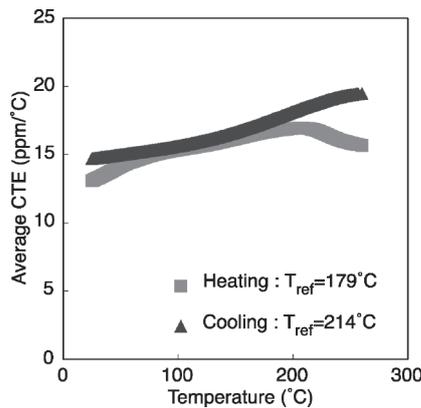


Fig. 22 Average CTEs of prepreg before the first heating and after the first cooling

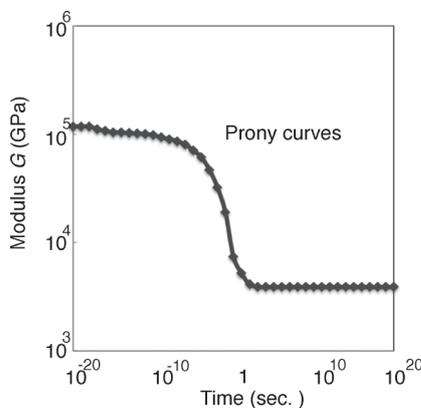


Fig. 23 Prony series approximation of the master curve of the relaxation shear modulus for SR resin

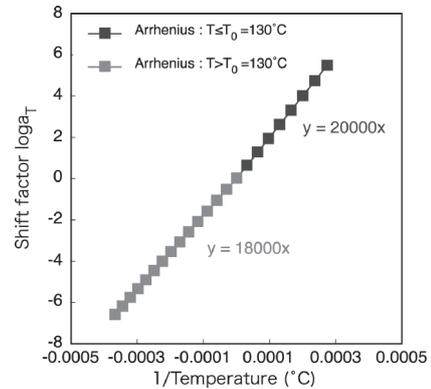


Fig. 24 Shift factor of the relaxation shear modulus of SR resin

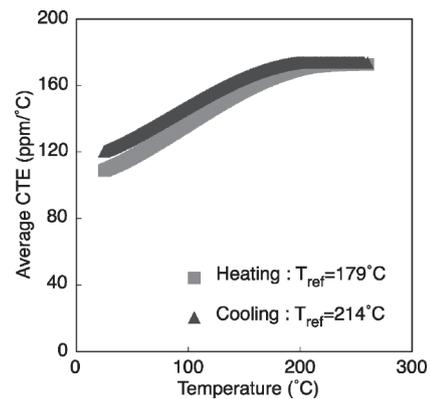


Fig. 25 Average CTEs of SR resin before the first heating and after the first cooling

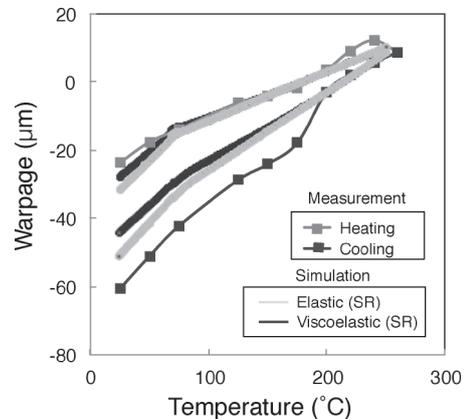


Fig. 26 Analyzed warpage of the test package of PoP using the viscoelastic FEM considering the change of viscoelastic material properties during a thermal cycle

とした場合の結果を示す。基板を多層構造としたことで、実測結果と解析結果には良い一致がみられたが、SR樹脂の粘弾性特性はあまり影響を与えていないということがわかる。

5. 結 言

本研究では、PoPの模擬パッケージの反りが示す熱履歴によるヒステリシスを、1st Heatingと1st Coolingで樹脂の粘弾性物性を変更させてFEM解析を行うことで、再現することに成功した。

はじめにUF-Si二層構造体に対して、1st Heatingと1st Cooling時のUF樹脂の緩和弾性率特性をそれぞれについて測定したマスターカーブとシフトファクターに変更して解析することで、実測時の反りのヒステリシスを表現できることを確認した。

次に、PoP模擬パッケージをUF樹脂の粘弾性物性を2層材の場合と同様に变化させることで解析した。まず、基板の構造をCore材単層とみなし、三層構造体として解析したところ、反りのヒステリシスは再現できたが、反りの実測値とはかなりの差が見られた。

そこで、基板を多層構造としてPoP模擬パッケージのFEM解析を行うと、実測値との良い一致が見られた。このことより、反りの定量的な予測には、樹脂の粘弾性特性の熱履歴による変化とともに、基板の層構造も考慮することが必要であることがわかった。また、SR樹脂を粘弾性体として扱った場合と弾性体として扱った場合の違いは非常に小さかった。これは、SR樹脂層が非常に薄いために、粘弾性挙動が反りに大きな影響を与えなかったものと考えられる。

(2015.4.29-受理)

文 献

- 1) 日経エレクトロニクス 半導体取材班：半導体技術年鑑 2014—パッケージング／実装編—，日経BP社，2013
- 2) 日経エレクトロニクス 半導体取材班：半導体技術年鑑 2014—デバイス／プロセス編—，日経BP社，2013
- 3) 大塚寛治，宇佐見 保：半導体パッケージング工学，日経BP社，1997
- 4) 高橋健司：2001年度上期ASET電子SI技術研究中間報告：3D積層実装，Mate2002，2002，pp. 27-32
- 5) 森田 健：“POP実測技術における実測プロセスの最適化，”最新エレクトロニクス実装大全集【下巻】，技術情報協会，2007
- 6) H. Reichl, A. Schubert, and M. Topper: “Reliability of flip chip and chip size packages,” *Microelectronics Reliability*, Vol. **40**, pp. 1243-1254, 2000
- 7) D.-G. Kim, J.-W. Kim, and S.-B. Jung: “Evaluation of solder joint reliability in flip chip package under thermal shock test,” *Thin Solid Films*, Vol. **504**, pp. 426-430, 2006
- 8) J. H. L. Pang, D. Y. R. Chong, and T. H. Low: “Thermal Cycling Analysis of Flip Chip Solder Joint Reliability,” *IEEE Transaction on Components and Packaging Technologies*, Vol. **24**, pp. 705-712, 2001
- 9) 荘司郁夫，森 史成，藤内伸一，山下 勝：“熱サイクル負荷を受けるSn-Ag系Pbフリーはんだ接合部の破断寿命評価，”*エレクトロニクス実装学会誌*，Vol. **4**，pp. 289-292，2001
- 10) 雨海正純：“携帯機器の落下衝撃によるはんだ接合の信頼性，”*電子情報通信学会論文誌*，Vol. **J90-C**，pp. 707-713，2007
- 11) S. Y. Yang, Y.-D. Jeon, S.-B. Lee, and K.-W. Paik: “Solder reflow process induced residual warpage measurement and its influence on reliability of flip-chip electronic packages,” *Microelectronics Reliability*, Vol. **46**, pp. 512-522, 2006
- 12) 河原真哉：“熱負荷による樹脂の粘弾性特性変化を考慮した積層パッケージの反り解析モデルの構築，”*京都大学大学院修士論文*，2012
- 13) M. H. H. Meuwissen, H. A. de Boer, H. L. A. H. Steijvers, K. M. B. Jansen, P. J. G. Schreurs, and M. G. D. Geers: “Prediction of mechanical stresses induced by flip-chip underfill encapsulants during cure,” *International Journal of Adhesion & Adhesives*, Vol. **26**, pp. 212-225, 2006
- 14) 荘司明子，邊 吾一，平山紀夫：“時間-温度換算則を用いた熱溶融エポキシCFRTPのクリープ特性の予測，”*日本大学Webライブラリー*，http://www.cit.nihon-u.ac.jp/kouendata/No.38/9_orgnalized/OS_B_3.pdf，2005
- 15) D. J. O'Brien, P. T. Mather, and S. R. White: “Viscoelastic Properties of an Epoxy Resin during Cure,” *Journal of Composite Materials*, Vol. **35**, No. 10, pp. 849-882, 2001
- 16) M. Sadeghinia, K. M. B. Jansen, and L. J. Ernst: “Characterization of the viscoelastic properties of an epoxy molding compound during cure,” *Microelectronics Reliability*, Vol. **52**, pp. 1711-1718, 2012
- 17) Y. K. Kim and S. R. White: “Stress Relaxation Behavior of 3501-6 Epoxy Resin during Cure,” *Polymer engineering science*, Vol. **36**, No. 23, pp. 2852-2862, 1996
- 18) D. B. Adolf, J. E. Martin, R. S. Chambers, S. N. Burchett, and T. R. Guess: “Stresses during thermoset cure,” *Journal of Material Research*, Vol. **13**, No. 3, pp. 560-550, 1998
- 19) M. H. H. Meuwissen, H. A. de Boer, H. L. A. H. Steokvers, P. J. G. Schreurs, and M. G. D. Geers: “Residual stresses in microelectronics induced by thermoset packaging materials during cure,” *Microelectronics Reliability*, Vol. **44**, pp. 1985-1994, 2004
- 20) 吉井正樹，水上義裕，荘司秀雄：“半導体パッケージ用エポキシ樹脂封止材料の成形評価技術，”*日立化成テクニカルレポート*，No. 40，pp. 13-20，2003



尾崎秋子 (おざき あきこ)
2014 鹿児島大機械卒, 同大大学院博士前期課程機械工学専攻入学, 電子デバイス実装の強度信頼性評価に関する研究に従事。



畑尾卓也 (はたお たくや)
1996 九大・理卒。同年, 住友ベークライト株式会社入社, 現在, エレクトロニクス実装信頼性に関する解析技術の研究に従事。エレクトロニクス実装学会会員。



池田 徹 (いけだ とおる)
1986 九大化学機械卒, 1992 九大大学院化学機械博士課程了, 1992 九大助手, 1996 九大助教授, 2004 京大助教授, 2012 鹿児島大教授。界面破壊力学に関する研究。電子デバイス実装の強度信頼性評価に関する研究に従事。日本機械学会論文賞, エレクトロニクス実装学会論文賞等受賞。



中井戸 宙 (なかいと ひろし)
2008 秋田大工学資源学研究所修士課程修了, 同年, 住友ベークライト株式会社入社, 現在, エレクトロニクス実装信頼性に関する解析技術の研究に従事。



河原真哉 (かわはら しんや)
2010 京大物理学専攻卒業, 同 京大大学院機械理工学専攻入学, 2013 同博士前期課程修了。



小金丸正明 (こがねまる まさあき)
1992 九大応用原子核工学専攻卒業, 1994 年同大大学院総合理工学研究科材料開発工学専攻修士課程修了, 同年, 福岡県工業技術センターに入庁, 2008 年京都大学博士 (工学)。電子実装における機械的・電気的信頼性に関する研究に従事, エレクトロニクス実装学会論文賞受賞。



宮崎則幸 (みやざき のりゆき)
1972 東大原子力卒, 1977 東大大学院原子力博士課程了, 日本原子力研究所研究員, 1983 九大助教授, 1996 九大教授, 2004 京大教授。九大名誉教授, 2013 京大名誉教授, 2015 北九州市環境エレクトロニクス研究所・主席研究員。電子/光学デバイス用単結晶の材料強度の関する研究。電子デバイス実装の強度信頼性評価に関する研究に従事。日本機械学会論文賞, エレクトロニクス実装学会論文賞, ICES Washizu Medal, APACM Valliapan Medal 等受賞。