

位相シフトサンプリングモアレ法を用いた電子パッケージのひずみ計測手法の提案

小金丸 正明*, 長戸 翔*, 内野 正和**, 池田 徹*

A Proposal for Strain Measurement in Electronic Packages Using Phase-Shifted Sampling Moiré Method

Masaaki KOGANEMARU*, Sho NAGATO*, Masakazu UCHINO**, and Toru IKEDA*

* 鹿児島大学工学部機械工学科 (〒 890-0065 鹿児島県鹿児島市郡元 1 丁目 21-40)

** 福岡県工業技術センター機械電子研究所 (〒 807-0831 福岡県北九州市八幡西区則松 3-6-1)

*Department of Mechanical Engineering, Faculty of Engineering, Kagoshima University (1-21-40 Korimoto, Kagoshima-shi, Kagoshima 890-0065)

**Mechanics & Electronics Research Institute, Fukuoka Industrial Technology Center (3-6-1 Norimatsu, Yahatanishi-ku, Kitakyusyu-shi, Fukuoka 807-0831)

概要 電子パッケージの機械的・電気的信頼性を確保するためには、電子パッケージ中のひずみや応力を適切に見積もることが必要不可欠である。本論文では、電子パッケージのひずみ計測手法として、X線CT画像と位相シフトサンプリングモアレ法を用いる新たな手法を提案する。その際、X線撮像時の計測位置のずれに起因する見かけのひずみを校正する手法も併せて示す。提案手法をQFPの樹脂封止に起因するチップ上の残留ひずみの評価に適用し、有限要素法解析結果との比較から提案手法の有効性を示す。

Abstract

This paper proposes a novel approach to measuring residual strains in electronic packages. The proposed method includes applying a phase-shifted sampling moiré method to X-ray CT images of the test chip in the electronic package. In addition, a calibration method for calculating the residual strains on the test chip is shown in this paper. As an example, the proposed method is applied to an analysis of the residual strains incurred during resin molding of a QFP. The proposed method is verified by comparing the results to a strain analysis using the finite element method. It is demonstrated that the proposed method is effective as a method of measuring residual strains in electronic packages.

Key Words: Electronic Package, Strain Measurement, Phase Shifted Method, Sampling Moiré Method, X-Ray CT

1. 緒 言

電子パッケージの機械的・電気的信頼性を確保するには、電子パッケージ中のひずみや応力を適切に見積もることが必要不可欠である。従来、電子パッケージ中のひずみや応力の評価は、デジタル画像相関法¹⁾やスベクル干涉法²⁾などの光学的手法、ラマン分光分析によるSi(チップ)のひずみ計測³⁾、ピエゾ抵抗ゲージを用いた方法⁴⁾などによって行われている。この中で、従来の光学的手法を用いた方法は、樹脂封止状態での電子パッケージ内部のひずみ分布を計測することはできない。計測するためには、被試験体の電子パッケージを切断などする必要があり、これによってひずみの状態が変化することとなる。したがって、有限要素法解析などと併用した評価が必要となる。ラマン分光分析を用いた方法は、Si(チップ)にレーザを照射して得られるラマン散乱光を解析してSi結晶のひずみを評価する手法であり、半導体デバイス中の局所ひずみの評価などに用いられている⁵⁾。しかし、従来の光学的手法と同様に、Siチップが樹脂で覆われた樹脂封止型電子パッケージでは、樹脂内部のSiチップのひずみを計測することはでき

ない。

現在、電子パッケージ中のひずみや応力の in-situ な計測には、ピエゾ抵抗ゲージによる計測が用いられている^{4),6),7)}。すなわち、ピエゾ抵抗ゲージが形成されたピエゾテストチップを評価対象の電子パッケージに実装し、実装前後のピエゾ抵抗値変化から実装工程で生じるひずみや応力を評価する方法である。この方法は、実際の実装工程でのひずみや応力を非破壊で評価できるが、抵抗値計測のために電気的な接続が必要であり、さらにゲージ特性(応力感度・温度依存性)のキャリブレーションも必要である。また、測定領域がゲージ点のみであるため、限られた測定点(ゲージ点)で最大応力の発生箇所や主応力値などを解析することは通常困難である。

そこで本研究グループでは、X線画像に位相シフトサンプリングモアレ法⁸⁾を適用するという新しい着想に基づき、電子パッケージ中の変位・ひずみ(応力)分布の全視野計測を可能にする計測手法の開発を行っている^{9),10)}。位相シフトサンプリングモアレ法は、変位(ひずみ・応力)の計測手法として実用化されている既存の手法であるが、X線画像が用いられた例はなく、電子パッケージ中のひず

みが対象とされた例もない。本論文では、X線撮像装置内での試験体の位置ずれの校正手法も含め、位相シフトサンプリングモアレ法を用いた電子パッケージ中のひずみ計測手法を提案する。具体例として、提案手法を用いてQFP (Quad Flat Package) の樹脂封止に起因するチップ表面の残留ひずみの評価を行った。すなわち、モアレ縞を得るためのテストチップをQFPへ実装（樹脂封止）し、樹脂開封前・後のテストチップのX線画像へ位相シフトサンプリングモアレ法を適用した。その際、キャリブレーションチップを用いて、樹脂開封前・後におけるX線撮像時の試験体（QFP）の相対的な位置ずれに起因するの見かけのひずみの校正を行った。提案手法による評価結果と有限要素法解析結果を比較し、提案手法の適用性や有用性について述べる。

2. 位相シフトサンプリングモアレ法⁸⁾

Fig. 1には、サンプリングモアレ法を用いてモアレ縞を得るための解析手順の概要を示す。まず、測定対象物（試験体）上に形成された格子模様（Fig. 1 (a)）をデジタルカメラで撮像する。このとき、デジタルカメラの各素子（pixel）の輝度値は白黒の2値だけではなく、Fig. 1 (b)のようにグレースケールで得られることになる。次に、Fig. 1 (b)の画像を一定間隔で間引き処理（サンプリング）することで、Fig. 1 (c)のような画像が得られる。Fig. 1 (c)には、例として左端のpixelから4 pixel毎にサンプリングした画像を示している。Fig. 1 (c)の画像において、欠落したpixelデータに対し近傍のデータを用いて補間を行えば、元の画像と解像度が同じモアレ縞を得ることができる（Fig. 1 (d)）。さらに、サンプリングする点を順次ずらしていけば、位相がずれた（位相シフトされた）複数枚のモアレ縞画像が得られることになる。この位相シフトされた複数枚のモアレ縞に位相シフト法を適用することで、モアレ縞の位相を解析することができる。

一般に、空間上のモアレ縞の輝度値分布は余弦波で近似

(a) Grid on the specimen



(b) Detected images at the each pixel of CCD/CMOS device in digital camera



(c) Images of every 4-pixel from the 1st sampling pixel



(d) Phase-shifted sampling moiré fringe pattern



Fig. 1 Schematic procedure of phase-shifted sampling moiré method⁸⁾

することができる。したがって、空間 (x, y) 上で位相シフトされた N 個の各モアレ縞の輝度値 I_n は次式で表される。

$$I_n(x, y) = I_a(x, y) \cos \left[\varphi(x, y) + n \frac{2\pi}{N} \right] + I_b(x, y) \quad (n = 0, 1, \dots, N-1) \quad (1)$$

ここで、 I_a は輝度振幅、 I_b は背景輝度であり、 φ はモアレ縞の位相である。このモアレ縞の位相 φ は、位相シフトされた複数のモアレ縞から、離散フーリエ変換法などで次式に示すように求めることができる。

$$\tan \varphi(x, y) = - \frac{\sum_{n=0}^{N-1} I_n(x, y) \sin \left(n \frac{2\pi}{N} \right)}{\sum_{n=0}^{N-1} I_n(x, y) \cos \left(n \frac{2\pi}{N} \right)} \quad (2)$$

最終的に、変形前のモアレ縞と変形後のモアレ縞との位相差が、試験体の変位に対応する。すなわち、試験体の変位 u が、（基準）格子のピッチ間隔 p と変形前後のモアレ縞の位相差 $\Delta\varphi$ から次式で算出される。

$$u = p \frac{\Delta\varphi}{2\pi} \quad (3)$$

位相シフト法によるモアレ縞の位相解析および変位の算出方法などについては、参考文献⁸⁾に詳細が記載されている。

3. 実験および解析方法

3.1 テストチップ

本研究では、位相シフトサンプリングモアレ法を適用してモアレ縞を得るために、グリッド状の模様が形成されたテストチップを作製した。具体的には、Auバンパが規則的（グリッド状）に配置されたテストチップを作製した。このグリッド上の模様は、Fig. 1(a)に相当する。バンパ形成にAuを選択した理由は、比重が大きな材料を用いることにより、コントラストが鮮明なX線画像を得るためである。Fig. 2に、本研究で用いたテストチップの形状、およびテストチップ上に形成したAuバンパグリッドの形状を示す。Fig. 2には、テストチップウェハ（4インチSiウェハ）の写真も同時に示す。テストチップの形状は、3 mm × 3 mm、厚さ0.3 mmである。また、このテストチップ上に形成した

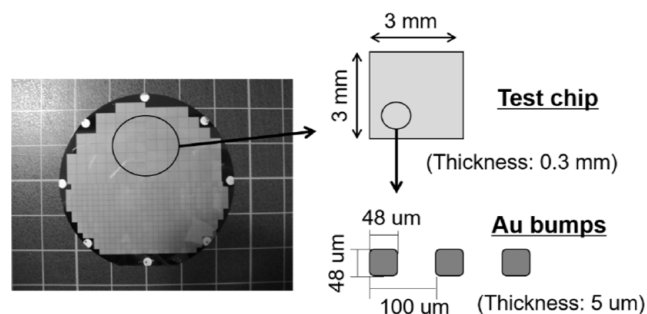


Fig. 2 Picture of test chip wafer and schematic diagrams of test chip and Au bumps on the test chip

Au バンプの形状は、 $48\mu\text{m} \times 48\mu\text{m}$ 、厚さ $5\mu\text{m}$ であり、Au バンプピッチは $100\mu\text{m}$ である。なお、Au バンプの Si ウェハ上への形成は、半導体製造プロセスで用いられる一般的な Au めっきプロセスによってなされた。

本手法において、位相シフトサンプリングモアレ法によるモアレ縞の取得および位相解析の可否は、チップサイズ、画像サイズ、バンプサイズおよびピッチ、測定対象のひずみの大きさなどの兼ね合いによって決まると考えられる。本研究では、Au バンプサイズおよびピッチを試行錯誤によって決定した。本研究の手法では、樹脂封止によるチップ上の残留応力を 100MPa 前後と想定し、 10MPa 程度の応力を計測できることを目標としている。文献¹¹⁾では、サンプリングモアレ法を用いた金属材料のたわみ分布計測において、格子模様のピッチの $1/500$ 程度の変位を検出することができたとの報告がなされている。これを参考にすれば、本研究のテストチップにおいてバンプピッチが $100\mu\text{m}$ であれば、 $0.2\mu\text{m}$ 程度の変位が計測できることになる。仮に、チップ上の変位が一律でチップの大きさ (3mm) をゲージ長とすると、 $67\mu\epsilon$ 程度のひずみが計測できることになる。これは、Si のヤング率を 170GPa とすれば、 11MPa 程度の応力値となる。そこで、バンプサイズ (μm)/ピッチ (μm) の組み合わせが、 $98/200$ 、 $48/100$ 、 $18/40$ である 3 通りのテストチップを試作し、本手法の適用性を検証した。それぞれのテストチップにおいて X 線撮像と位相シフトサンプリングモアレ法による解析を実施した結果、 $48/100$ のテストチップの画像に対する解析のみでモアレ縞が得られた。モアレ縞を得るためのテストチップの最適化（最適条件の探索）は、今後の研究課題としたい。

3.2 QFP 試験片

3.1 で示したテストチップを樹脂封止し、QFP 試験片を作製した。Fig. 3 には、QFP 試験片（樹脂開封前・後）の写真と形状を示す。3.3 で後述するとおり、本研究では樹脂開封前・後のテストチップの X 線 CT 画像から、樹脂封止に起因したチップ上の残留ひずみを評価した。Table 1 には、QFP 試験片構成材料の材料特性を示す。ダイパッドは、Cu 素材である。なお、Table 1 に示した材料特性は、4.2 で述べる有限要素法解析の入力データとして用いた。

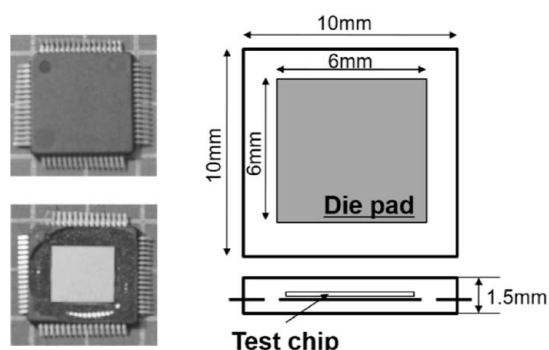


Fig. 3 Pictures and schematics of QFP specimen

3.3 X 線撮像およびひずみ解析手順

Fig. 4 には、本研究での X 線画像の取得手順とサンプリングモアレ法による解析の流れを示す。本研究では、QFP の樹脂封止に起因したチップ上のひずみを以下の手順で評価した。

まず、QFP 実装後のテストチップの X 線 CT (Computed Tomography) 画像を取得した後、発煙硝酸でチップ上の樹脂を開封（溶解）して、再度テストチップの X 線 CT 画像を取得した。このとき、次節 3.4 で述べるキャリブレーションチップの X 線 CT 画像も同時に取得した。この樹脂開封方法では機械的な負荷を加えないため、チップの位置ずれは生じない。CT を用いた理由は、透視撮影ではテストチップとキャリブレーションチップのグリッド模様が重なって撮像されてしまい、モアレ縞を得るための解析が行えないためである。

次に解析では、テストチップ上グリッドの X 線 CT 画像にサンプリングモアレ法を適用し、位相シフトされた複数枚のサンプリングモアレ画像を得た後、位相シフト法により式 (2) を用いてモアレ縞の位相を算出した。樹脂開封前・後のモアレ縞の位相差から、式 (3) によりテストチップ上の変位（場）を求め、微分してひずみを算出した。キャリブレーションチップについても同様に位相（差）およびひずみを算出し、次節で述べる方法によりテストチップ上のひずみ値の校正に用いた。

X 線画像の取得には、コムスキャンテクノ社製の ScanXmate-D130SS105Dual を使用した。今回の撮像条件は、管電圧 130kV 、管電流 $62\mu\text{A}$ である。また、検出器は $125\text{mm} \times 125\text{mm}$ のフラットパネルセンサ (PaxScan1313DX) であり、これにより PC 画面上に画像として出力される画素数は 992×992 画素である。

Table 1. Material properties of QFP specimen

	Coefficient of thermal expansion ($\times 10^{-6}/^{\circ}\text{C}$)	Tg ($^{\circ}\text{C}$)	Young's modulus (GPa)	Poisson's ratio
Resin	9	125	24.5	0.25
Die bond paste	86	—	2.8	0.4
Die pad	16.7	—	97	0.33
Si chip	2.6	—	Stiffness matrix ¹¹⁾	

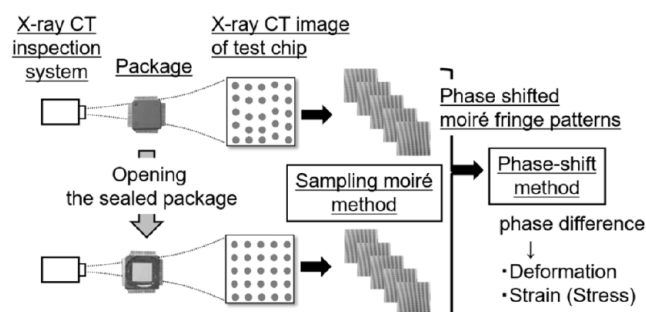


Fig. 4 Procedure of the proposed method

3.4 見かけのひずみの校正方法

画像処理計測によるひずみや応力の評価手法では、被測定物と画像取得装置（本研究の場合はX線撮像装置）の位置関係を変えずに画像を取得することが必要であり、この位置関係に“ずれ”が生じた場合は“見かけのひずみ”となって測定結果に誤差を生じさせることになる。3.3で述べたとおり、本研究では被測定物（すなわち、QFP）の樹脂開封前・後のX線画像取得の間に、樹脂開封のため一旦QFPをX線撮像装置から取り外す工程が必要である。そのため、QFPの樹脂開封前・後のX線画像取得位置に“ずれ”が生じてしまい、“見かけのひずみ”となって測定結果に誤差を生じさせる。そこで本研究では、以下の方法で撮像位置のずれによって生じる見かけのひずみの校正を行った。

本研究では、見かけのひずみを校正するためにキャリブレーション用のチップを用いた。今回、このキャリブレーションチップは、テストチップとして作製したチップを流用した。なお実際の実験では、（ベア）チップ単体ではなく、評価対象と同様に作製したQFPにおいて、樹脂開封した状態のものを用いた。これは、評価対象のQFPとキャリブレーションチップの貼り合わせを容易にするためであり、本来必ずしも同様のパッケージである必要はない。

Fig. 5には、キャリブレーションチップも含めたX線CT撮像の手順を示す。まず、評価対象のQFPとキャリブレーションチップ（本実験では樹脂を開封したQFP）を貼り合わせ（Fig. 5 (a)）、テストチップおよびキャリブレーションチップのCT画像を取得する（Fig. 5 (b)）。次に、評価対象のQFPとキャリブレーションチップを貼り合わせたまま、評価対象のQFPの樹脂開封を行う。その後、評価対象のQFP（樹脂開封済み）とキャリブレーションチップを貼り合わせたまま、再度テストチップおよびキャリブレーションチップのCT画像を取得する（Fig. 5 (c)）。

Fig. 6には、キャリブレーションチップを用いた見かけのひずみの校正手順を示す。Fig. 6 (a)はFig. 5 (b)に示すCT撮像に対応しており、Fig. 6 (b)はFig. 5 (c)に示すCT撮像に対応している。すなわち、テストチップにおいては、Fig. 6 (a)とFig. 6 (b)のCT画像から算出されるひずみは、QFPの樹脂封止に起因するひずみと撮像位置のずれによって生じる見かけのひずみの両方を含んでいる。一方、キャリブレーションチップにおいては、Fig. 6 (a)とFig. 6 (b)のCT画像から、撮像位置のずれによって生じる見かけのひずみのみが算出される。ここで、Fig. 5に示したとおり、評価対象QFPとキャリブレーションチップ（実際には樹脂を開封したQFP）を貼り合わせたまま評価対象QFPの樹脂開封を行い、その樹脂開封前・後での両チップのCT撮像を行っている。そのため、撮像位置のずれによって生じる見かけのひずみは、テストチップとキャリブレーションチップで同じとなる。したがって、テストチップのひずみとキャリブレーションチップのひずみの差分を取ること

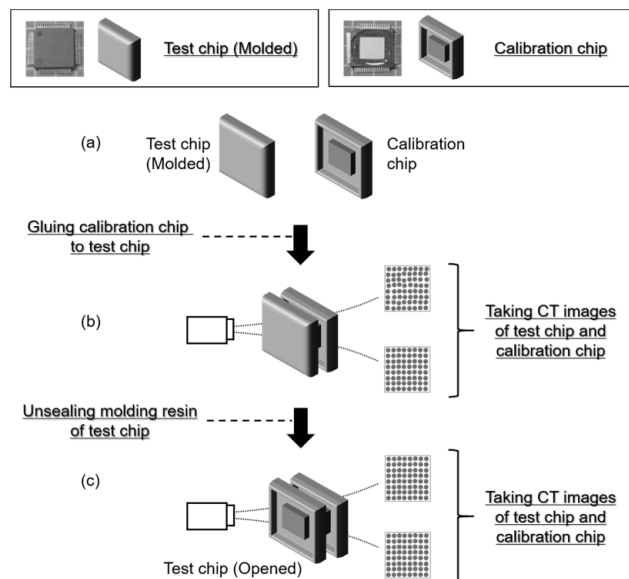


Fig. 5 Procedure for taking CT images of test chip and calibration chip

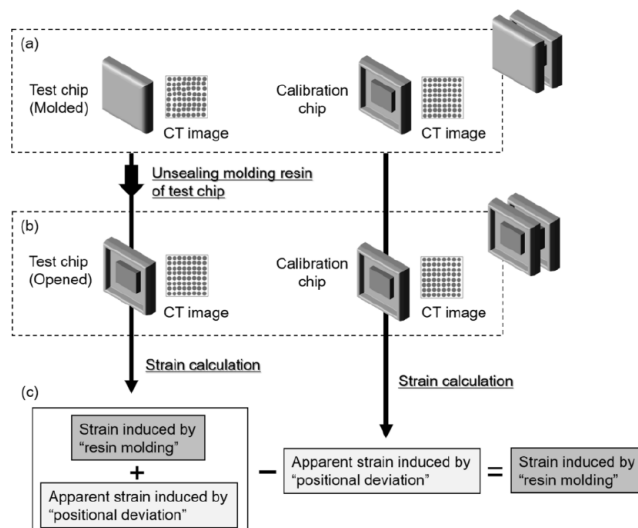


Fig. 6 Calibration method of positional deviation

によって、テストチップのQFP樹脂封止に起因するひずみを評価することができる（Fig. 6 (c)）。

4. ひずみ評価結果

4.1 X線撮像結果

Fig. 7には、実験で得られたテストチップおよびキャリブレーションチップ上のAuバンプグリッドのX線CT画像を示す。Fig. 7 (a)およびFig. 7 (b)は、それぞれ樹脂開封前および樹脂開封後のテストチップの画像である。また、Fig. 7 (c)およびFig. 7 (d)は、それぞれFig. 7 (a)およびFig. 7 (b)と同時に撮像したキャリブレーションチップの画像である。Fig. 7に示す画像から分かるとおり、Auバンプグリッドを十分識別することができるX線CT画像を得ることができた。

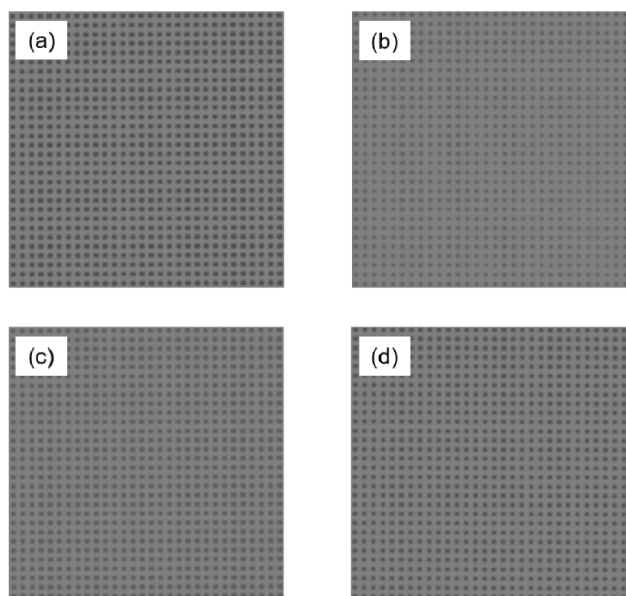


Fig. 7 X-ray CT images of the Au bump grid on the chips (a) Molded test chip, (b) Opened test chip, (c) Calibration chip taken with (a), (d) Calibration chip taken with (b)

4.2 有限要素法解析

本手法による評価結果と比較するため、有限要素法解析を実施した。電子パッケージの変形、ひずみ・応力評価において、有限要素法解析は一般的に用いられている。電子パッケージは内部構造を有する小型構造体であり、実験的に評価できる対象、条件が限られるためである。このとき、有限要素法解析結果の妥当性を担保するため、基板やパッケージの反り計測や、ピエゾ抵抗ゲージによる応力の計測が実施される。本研究で実施した有限要素法解析は、封止樹脂とダイボンダ材、およびダイパッドとテストチップをモデル化し、封止樹脂のガラス転移温度 (T_g) を応力フリー温度とした線形熱弾性解析⁷⁾である。本研究の対象は、温度サイクル負荷など、樹脂材料の複雑な挙動（材料特性）が顕著に問題となる解析ではない。また、対象電子パッケージの構造も比較的単純であり、かつ、チップ表面のひずみのみを対象としている。本研究で対象とした樹脂封止に起因するチップ表面の残留ひずみ（応力）は、チップと樹脂の剛性および線膨張係数差が支配的要因と考えられ、これらは線形熱弾性解析で取り扱える⁷⁾。以上から、本研究では有限要素法線形熱弾性解析を比較対象とした。

評価対象 QFP の有限要素法解析モデルを Fig. 8 に示す。パッケージの対称性を考慮し、4 分の 1 モデルで解析を行った。なお、有限要素法解析に用いた材料定数は、Table 1 に示したとおりである。Si の弾性定数は、異方性を考慮するため剛性行列¹²⁾を用いた。

Fig. 9 のコンター図は、チップ表面における水平方向 (x 方向) の残留ひずみ ε_x の有限要素法解析結果を示している。Table 1 に示したとおり、チップに比較して封止樹脂の

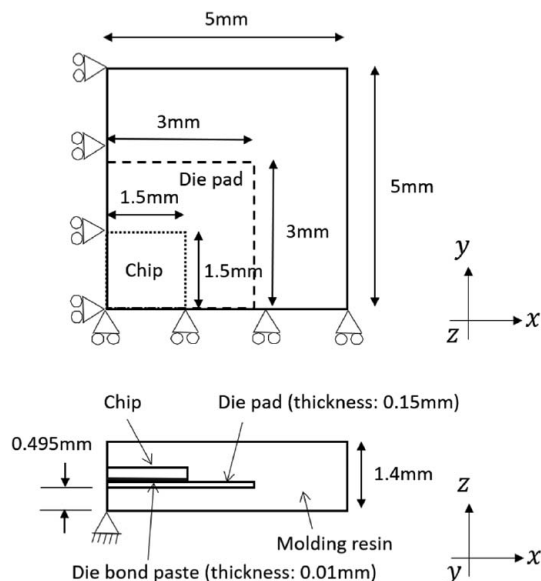


Fig. 8 Dimensions and boundary conditions for finite element analysis of QFP

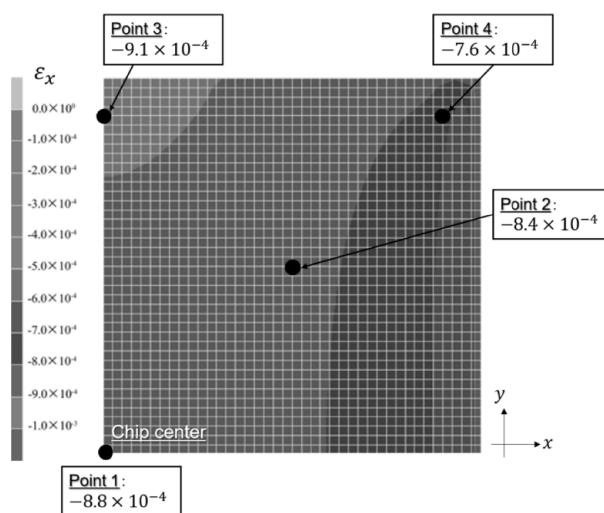


Fig. 9 Finite element analysis results of normal strain ε_x on the test chip surface

線膨張係数が大きいことから、樹脂封止によってチップ表面に圧縮の残留ひずみが生じることが分かる。また Fig. 9 には、チップ上の 4 つの位置 (Point 1~Point 4) における具体的なひずみ値も示している。Point 1 はチップの中心位置、Point 2 は 4 分の 1 モデルの中心位置にある。Point 3 は x 方向と水平なチップエッジから 0.15 mm の位置、Point 4 は x 方向および y 方向と水平なチップエッジからそれぞれ 0.15 mm の位置にある。次節では、これら 4 つの位置におけるひずみ値を有限要素法解析結果と本手法の結果とで比較する。

4.3 解析結果と考察

Fig. 7 に示したそれぞれの画像にサンプリングモアレ法を適用し、それぞれの画像に対して位相シフトされた 12 枚

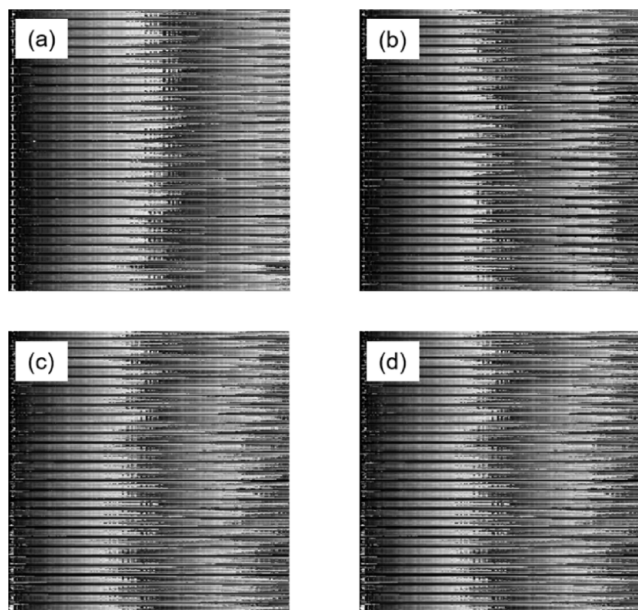


Fig. 10 Wrapped phase distributions calculated by phase-shifted method (a) Molded test chip, (b) Opened test chip, (c) Calibration chip taking with (a), (d) Calibration chip taking with (b)

のモアレ縞画像を取得した。この 12 枚の位相シフトされたモアレ縞から得られる位相分布を Fig. 10 に示す。なお、Fig. 10 は原画像 (Fig. 7) の水平方向に解析 (サンプリング) を行って得られた結果である。Fig. 10 (a) および Fig. 10 (b) はそれぞれ Fig. 7 (a) および Fig. 7 (b) の画像に対応し、Fig. 10 (c) および Fig. 10 (d) はそれぞれ Fig. 7 (c) および Fig. 7 (d) の画像に対応している。

Fig. 11 には、Fig. 10 に示した位相分布に対して位相接続を行った結果を示す。Fig. 11 (a) はテストチップの結果、Fig. 11 (b) はキャリブレーションチップの結果である。また、図中黒色で示すラインは Fig. 5 (b) で示した撮像によって得られた結果であり、グレー色で示すラインは Fig. 5 (c) で示した撮像によって得られた結果である。なお、Fig. 11 の結果は、チップの中心を通る水平方向位置での解析結果を例として示している。すなわち、Fig. 11 の縦軸は位相、横軸はチップの中心を通るチップ上の水平方向の位置である。

Fig. 12 には、Fig. 11 で示した位相 (差) から式 (3) を用いて算出される変位を示す。Fig. 12 (a) はテストチップの結果、Fig. 12 (b) はキャリブレーションチップの結果である。図中の実線は算出された変位であり、点線はそれを 3 次関数で近似した曲線である。本研究では、この近似曲線を微分してひずみを算出した。

Table 2 には、Fig. 9 で示した 4 つの位置 (Point 1~Point 4) において、本手法によって得られたひずみ値を示す。表中、“Raw data” はテストチップ (のみ) によって得られたひずみ値であり、“Calibrated data” はキャリブレーションチップの結果を用いて Fig. 6 で示した校正方法により算出

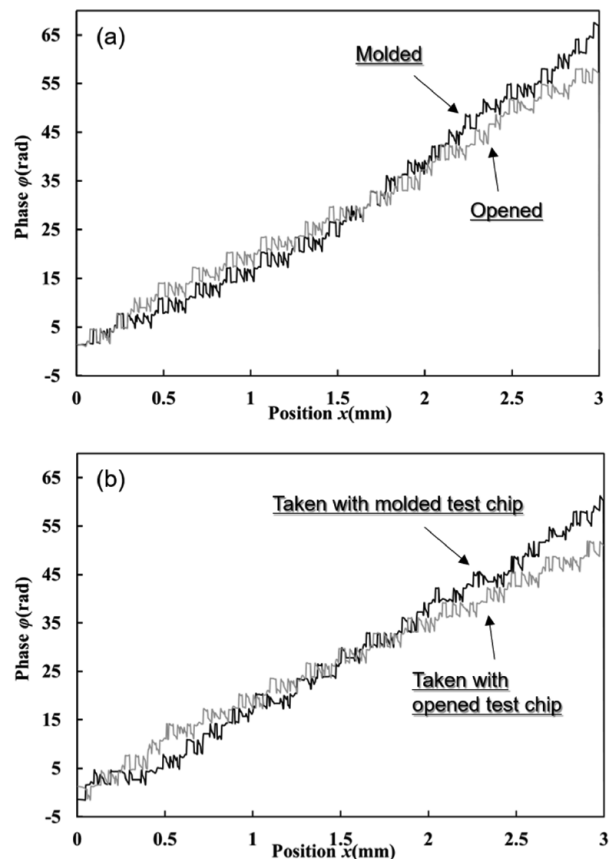


Fig. 11 Calculated unwrapped phase on horizontal line passing through the chip center (a) Test chip, (b) Calibration chip

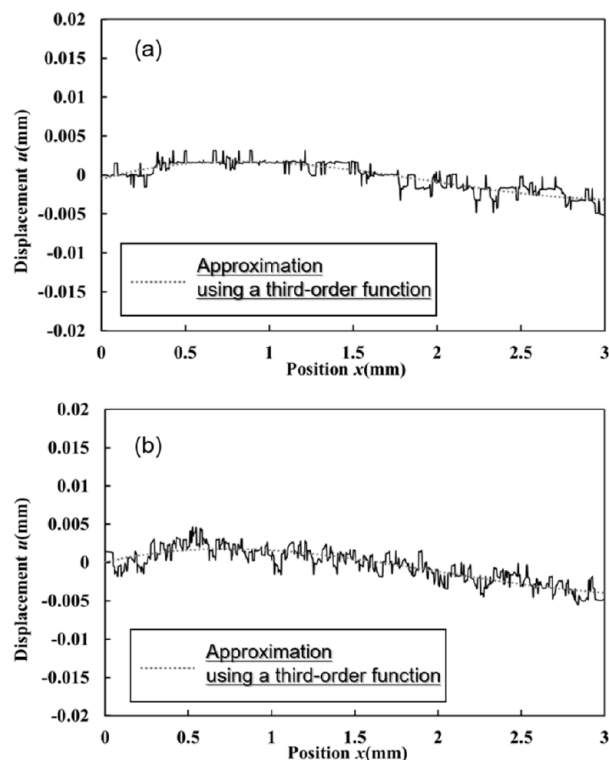


Fig. 12 Analyzed displacements on horizontal line passing through the chip center (a) Test chip, (b) Calibration chip

Table 2. Experimental results of normal strain ε_x at the evaluated points in Fig. 9

	Raw data	Calibrated data
Point 1	-4.9×10^{-4}	-5.6×10^{-4}
Point 2	4.0×10^{-4}	-9.4×10^{-4}
Point 3	3.0×10^{-4}	-8.0×10^{-4}
Point 4	3.1×10^{-4}	-7.9×10^{-4}

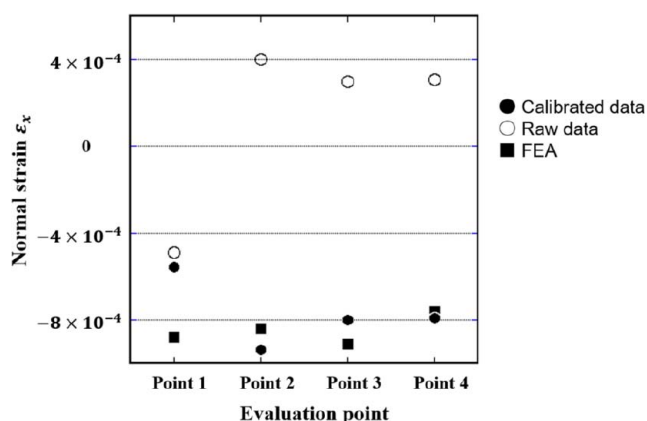


Fig. 13 Comparison between experimental results and FEA results

されたひずみ値である。Fig. 13 には、Table 2 に示した本手法で得られた結果と Fig. 9 で示した有限要素法解析で得られた結果を比較して示す。

Table 2 の結果から、テストチップのみから算出されるひずみ値は、Point 2, Point 3, Point 4 において正（すなわち引張り）の値を示している。この結果は、4.2 節で示した有限要素法解析結果からも分かるとおり、チップ (Si) と封止樹脂の線膨張係数差（大小関係）を考えれば定性的に妥当な結果ではない。一方、キャリブレーションチップを用いて校正を行った結果は、いずれの位置においても負（すなわち圧縮）のひずみ値となった。また Fig. 13 から分かるとおり、校正を行った結果は有限要素法解析結果と定量的にも比較的良く一致した。以上の結果から、本論文で提案した校正手法を含む位相シフトサンプリングモアレ法を用いた手法は、電子パッケージのひずみ計測手法として有効であると考えられる。ただし、今回実施した有限要素法解析は簡易な線形解析であるため、さらに計測精度の定量的な議論を進めるためには、ピエゾ抵抗ゲージによる計測結果と比較・検証する必要があると考える。

本論文で示した手法は、1) テストチップ上の面情報を得ることができる。2) テストチップにワイヤボンドなどの電気的接続が不要である。3) モアレ縞を得るためのテストチップは従来のバンプのめっきプロセスで製造することができ低コストである。4) 温度のキャリブレーションを必要としない、などの特徴を有している。これらは、ピエゾ抵抗ゲージを用いた従来の評価手法に対するアドバンテージであり、電子パッケージ中の残留ひずみ（応力）の評価手

法として有用と考えられる。

5. 結 言

本研究では、X 線画像に位相シフトサンプリングモアレ法を適用することにより、電子パッケージ中の変位・ひずみ分布の全視野計測を可能にする計測手法提案した。その際、X 線撮像時の位置ずれを校正する手法も併せて示した。提案手法を QFP の樹脂封止に起因するチップ上の残留ひずみの評価に適用し、有限要素法解析結果との比較から、提案手法の有効性を示した。今後は、さらなる定量的な妥当性検証のために、ピエゾ抵抗ゲージによる計測結果と比較・検証する予定である。また、テストチップの最適化も今後の検討課題としたい。さらに低評価コストを実現するため、Cu のバンプグリッドを用いたテストチップの検討も行う予定である。

謝 辞

試験片の作製に御協力頂いた九州大学大学院システム情報科学研究院 浅野種正 教授、池田晃裕 助教に感謝致します。X 線 CT 画像の撮像に御協力頂いた鹿児島県工業技術センター 堀之内悠介 研究員に感謝致します。本研究の一部は、科研費 21560109 の助成を受けて行われた。

(2018.5.24- 受理)

文 献

- 1) 宍戸信之, 池田 徹, 宮崎則幸, 中村健太郎, 宮崎政志, 猿渡達郎: “デジタル画像相関法を用いた電子実装部の熱ひずみ分布計測,” 材料, Vol. **57**, No. 1, pp. 83–89, 2008
- 2) 内野正和, 森田康之, 東藤 貢, 新川和夫: “DSPI を用いた 2 方向変位ベクトル同時計測装置の製作と電子デバイスの微視的計測,” 日本実験力学学会講演論文集, No. 2, pp. 264–266, 2002
- 3) 中島信一, 三谷武志, 吉川正信: “ラマン散乱分光法によるシリコンのひずみ・応力評価,” 応用物理, Vol. **75**, No. 10, pp. 1224–1231, 2006
- 4) H. Miura, A. Nishimura, S. Kawai, and K. Nishi: “Development and application of the stress sensing test chip for IC plastic packages,” Trans. Jpn. Soc. Mech. Eng., Vol. **53-439**, Part A, pp. 1826–1832, 1987
- 5) 内田智之, 小坂賢一, 杉江隆一, 伊藤元剛: “ラマン分光法による実デバイス局所歪評価法の開発,” MES2016 (第 26 回マイクロエレクトロニクスシンポジウム秋季大会) 論文集, 1D1-4, 2016
- 6) J. C. Suhling and R. C. Jaeger: “Silicon piezoresistive stress sensors and their application in electronic packaging,” IEEE Sensors Journal, Vol. **1**, No. 1, pp. 14–30, 2001
- 7) 小金丸正明, 池田 徹, 宮崎則幸: “ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体

チップ表面の残留応力評価,” エレクトロニクス実装学会誌, Vol. **9**, No. 3, pp. 186–194, 2006

- 8) 森本吉春, 藤垣元治, 梶谷明大: “サンプリングモアレ法による変位・ひずみ分布計測,” Journal of the Vacuum Society of Japan, Vol. **54**, No. 1, pp. 32–38, 2011
- 9) M. Koganemaru, M. Uchino, A. Ikeda, and T. Asano: “Examination of Residual Stress Measurement in Electronic Packages Using Phase-Shifted Sampling Moiré Method and X-Ray Images,” Proceedings of 5th Electronics System Integration Technology Conference 2014 (ESTC 2014), (in USB), 2014
- 10) 小金丸正明, 松本光気, 内野正和, 池田 徹: “電子パッケージのひずみ計測への位相シフトサンプリングモアレ法の適用,” MES2017 (第27回マイクロエレクトロニクスシンポジウム秋季大会) 論文集, 2B2-3, 2017
- 11) 李志遠, 藤垣元治, 森本吉春: “サンプリングモアレ法による金属材料のたわみ分布測定,” 日本実験力学会講演論文集, No. 8, pp. 148–152, 2008
- 12) J. J. Wortman and R. A. Evans: “Young’s modulus, Shear Modulus, and Poisson’s Ratio in Silicon and Germanium,” Journal of Applied Physics, Vol. **36**, No. 1, pp. 153–156, 1965

著者紹介

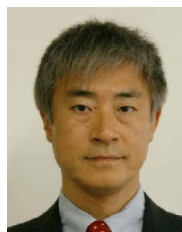


小金丸正明 (こがねまる まさあき)
鹿児島大学学術研究院理工学域工学系准教授。
1992年九州大学工学部応用原子核工学科卒業。
1994年九州大学大学院総合理工学研究科材料開発工学専攻修士課程修了。同年、福岡県工業技術センターに入庁。2008年京都大学博士(工学)。
2016年より現職。エレクトロニクス実装学会、日本機械学会、電子情報通信学会、日本計算工学会会員。

長戸 翔 (ながと しょう)
2018年鹿児島大学工学部機械工学科卒業。



内野正和 (うちの まさかず)
福岡県工業技術センター機械電子研究所専門研究員。1992年熊本大学工学部機械工学科卒業。1994年熊本大学機械工学専攻修士課程修了。1997年熊本大学自然科学工学専攻博士課程修了。同年、熊本大学日本学術振興会特別研究員。1998年、福岡県工業技術センターに入庁、現職。日本機械学会、日本実験力学会会員。



池田 徹 (いけだ とおる)
1986 九大化学機械卒, 1992 九大大学院化学機械博士課程了, 1992 九大助手, 1996 九大助教授, 2004 京大助教授, 2012年より現職。界面破壊力学に関する研究, 電子デバイス実装の強度信頼性評価に関する研究に従事。エレクトロニクス実装学会, 日本機械学会, 日本材料学会, 計算工学会, ASME 会員。